

Conception et fabrication des microsystèmes

Chapitre 6: Conception des circuits mémoires

Chapitre 6: Conception des circuits mémoires

- **Introduction**

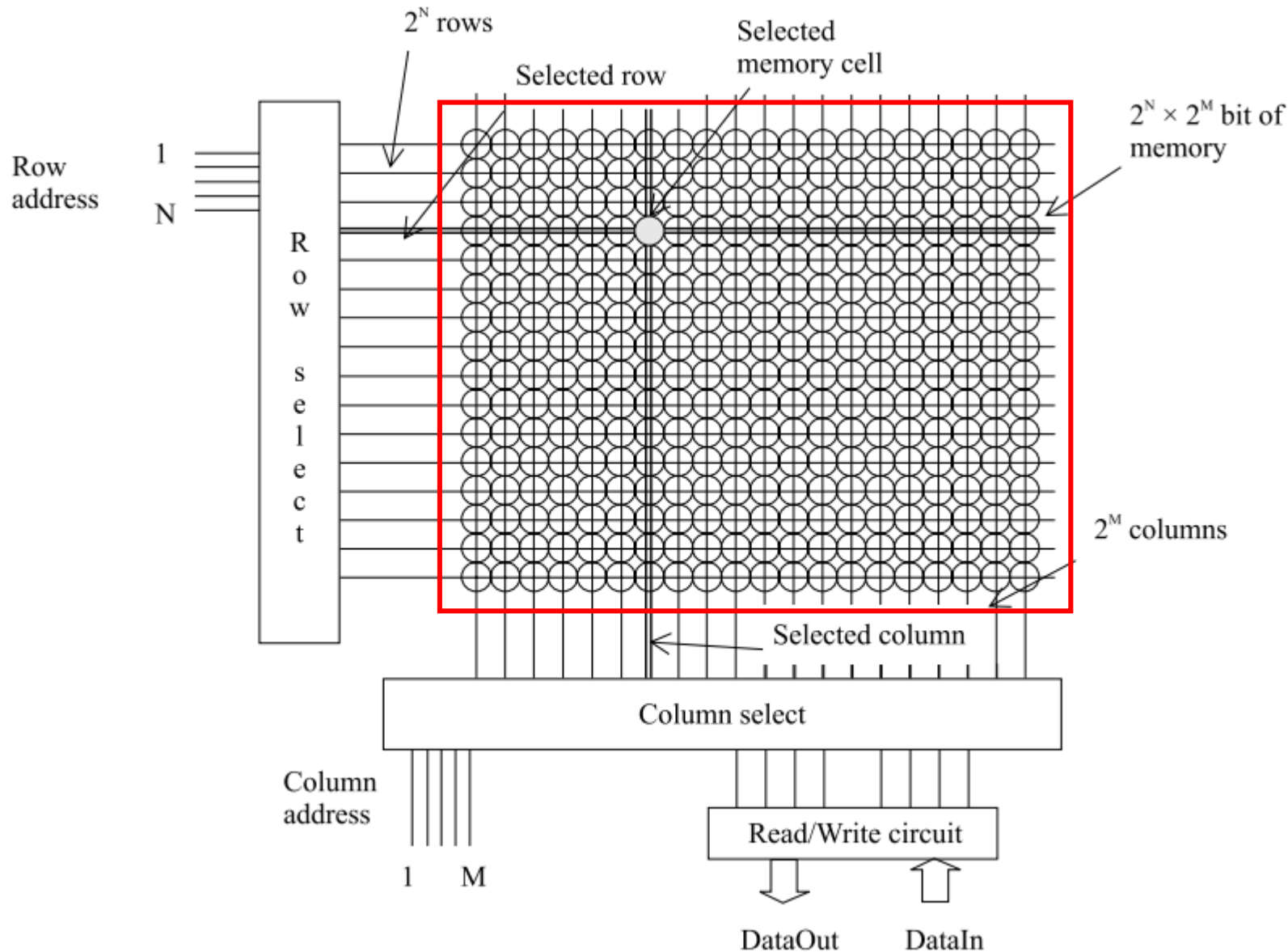
- Les circuits mémoires peuvent être classés en deux grandes catégories:
- **Mémoires volatiles:** les données sont mémorisées tant que le circuit est alimenté en tension. Les données sont perdues une fois l'alimentation est éteinte.
- **Mémoires non-volatiles:** ce type de mémoire est capable de stocker les données même-si l'alimentation est éteinte

Volatile Read-Write Memory		Non-Volatile Read-Write Memory	Non-Volatile Read-Only Memory
Random Access	Non-Random Access	EPROM E ² PROM FLASH	Programmable (PROM)
SRAM DRAM	FIFO LIFO Shift Register		

Chapitre 6: Conception des circuits mémoires

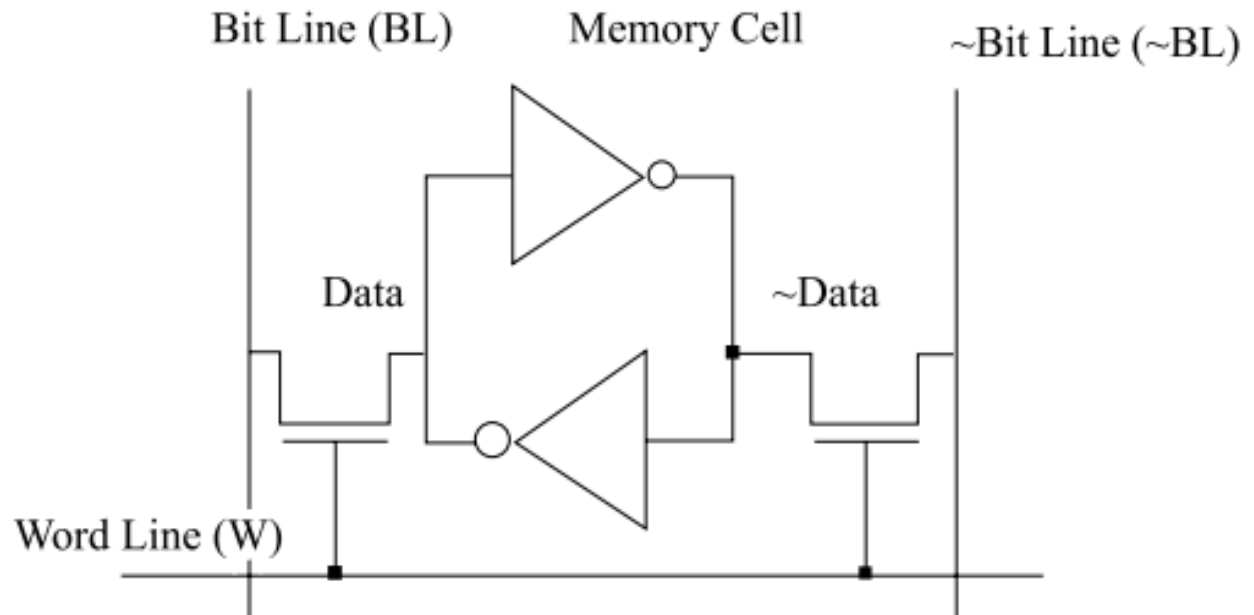
- Architecture d'une mémoire

- Le champ mémoire:** il est constitué de $2^N \times 2^M$ cellules élémentaires qui se répète. Un exemple typique de M et N est $M = N = 10$ qui donne 1024 lignes et 1024 colonnes
- La capacité mémoire dans ce cas est de 1Mbit (1 048 576 bits)**



Chapitre 6: Conception des circuits mémoires

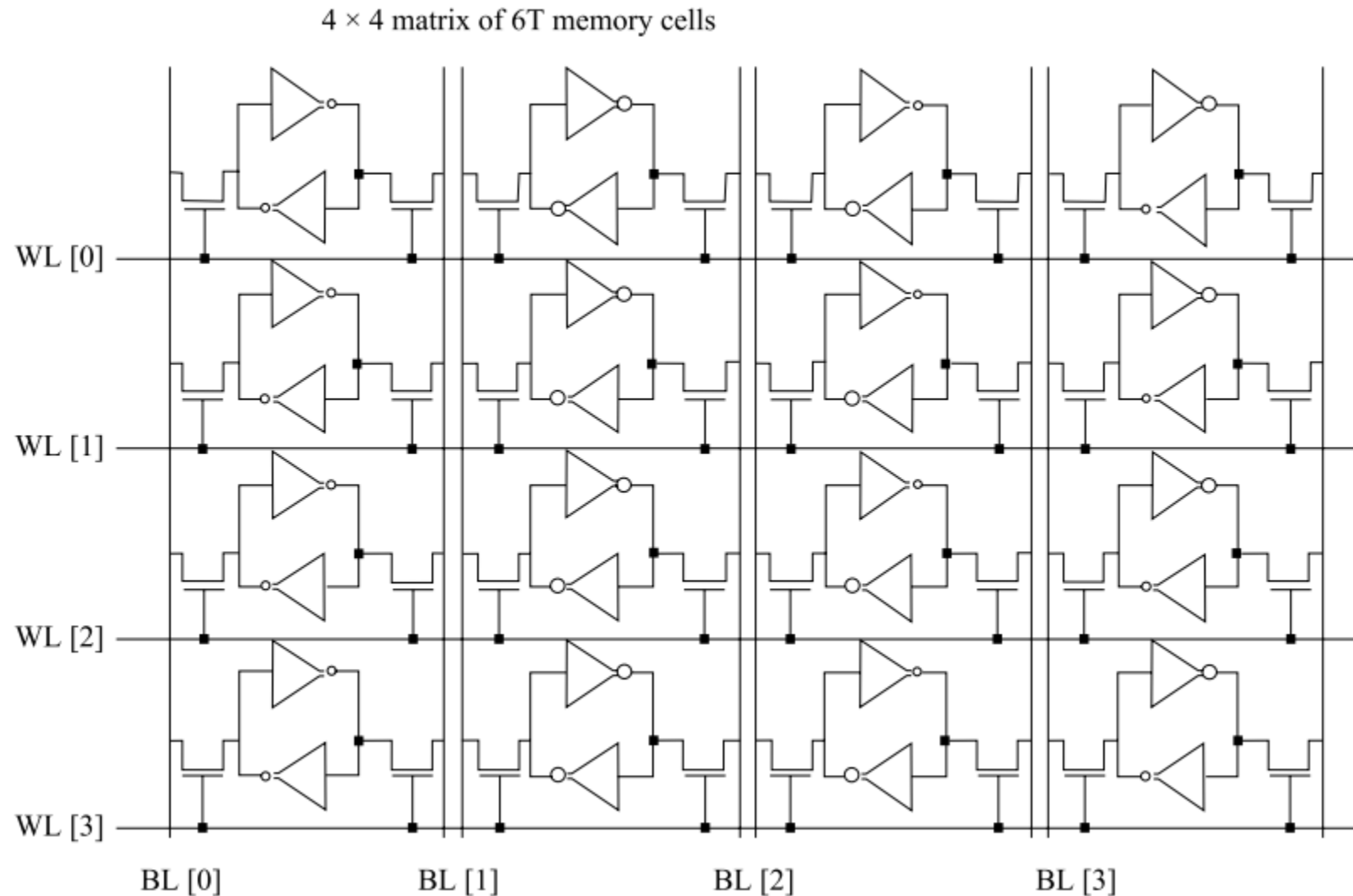
- La mémoire RAM
 - La cellule de base d'une mémoire RAM est basée sur 6 transistors (6T RAM): deux inverseurs croisés avec deux passes transistors
 - Les deux transistors de passages donnent l'accès à la donnée (**Bit Line**) et à la donnée inversée (**~Bit Line**)
 - Les deux transistors de passage sont commandés par la ligne **World Line (W)**



Chapitre 6: Conception des circuits mémoires

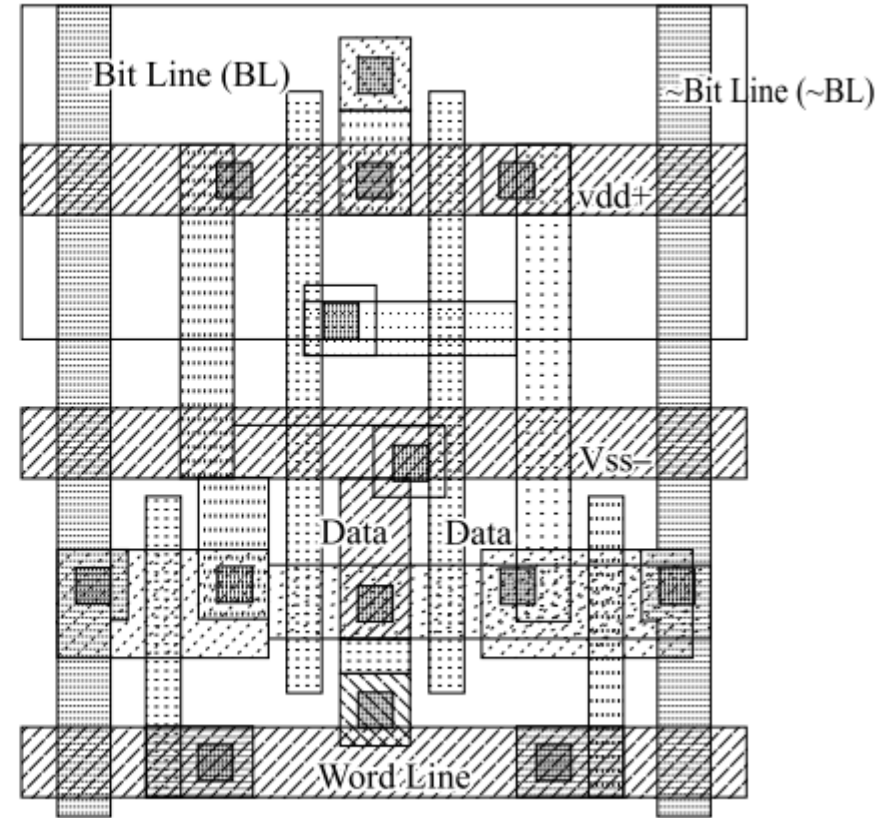
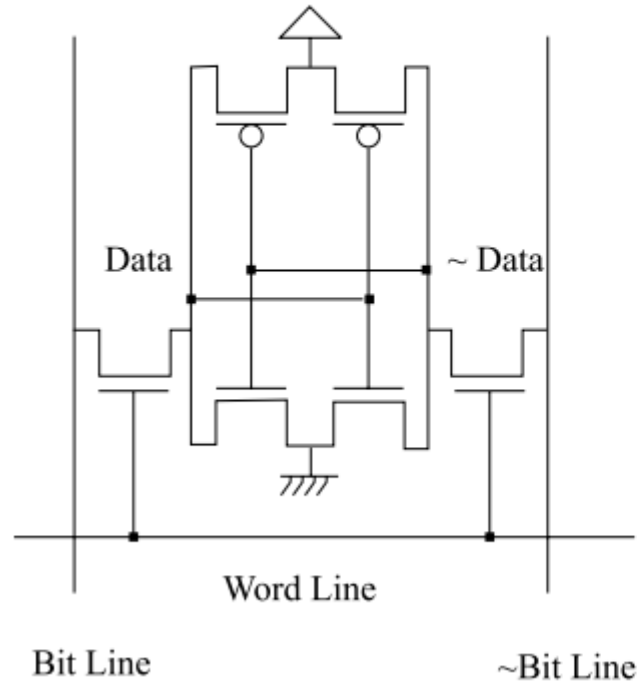
- **La mémoire RAM**

- La cellule peut être multipliée suivant X et Y pour créer une mémoire de taille large.
- La figure suivante illustre une mémoire d'une taille 16bits. Il s'agit d'un arrangement de 16 cellules élémentaires (4 lignes et 4 colonnes)
- 4 signaux WL[0..3] permettent de sélectionner une ligne
- 4 signaux BL[0..3] permettent de sélectionner une colonne



Chapitre 6: Conception des circuits mémoires

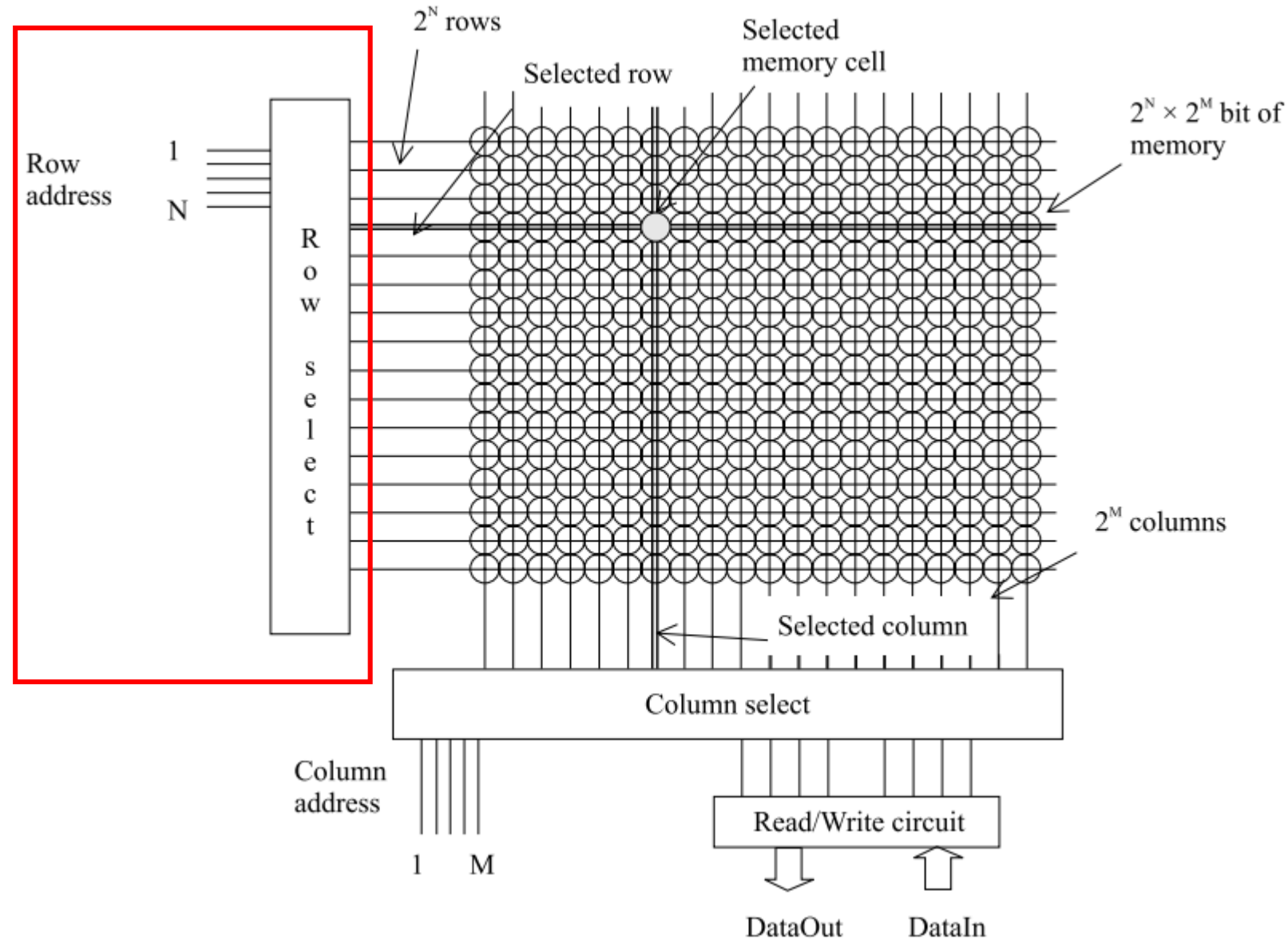
- La mémoire RAM
 - Le dessin de masque de la cellule RAM est illustrée dans la figure.
 - Le **métal 2** est utilisé pour la réalisation des signaux Bit et /Bit
 - Le **métal 3** est utilisé pour la réalisation du signal Word Line
 - **Mode _ Ecriture**: le signal WL est à 1 et la donnée est placée sur BL
 - **Mode _ Lecture**: le signal WL est à 1 et la donnée est lue sur BL



Chapitre 6: Conception des circuits mémoires

- Architecture d'une mémoire

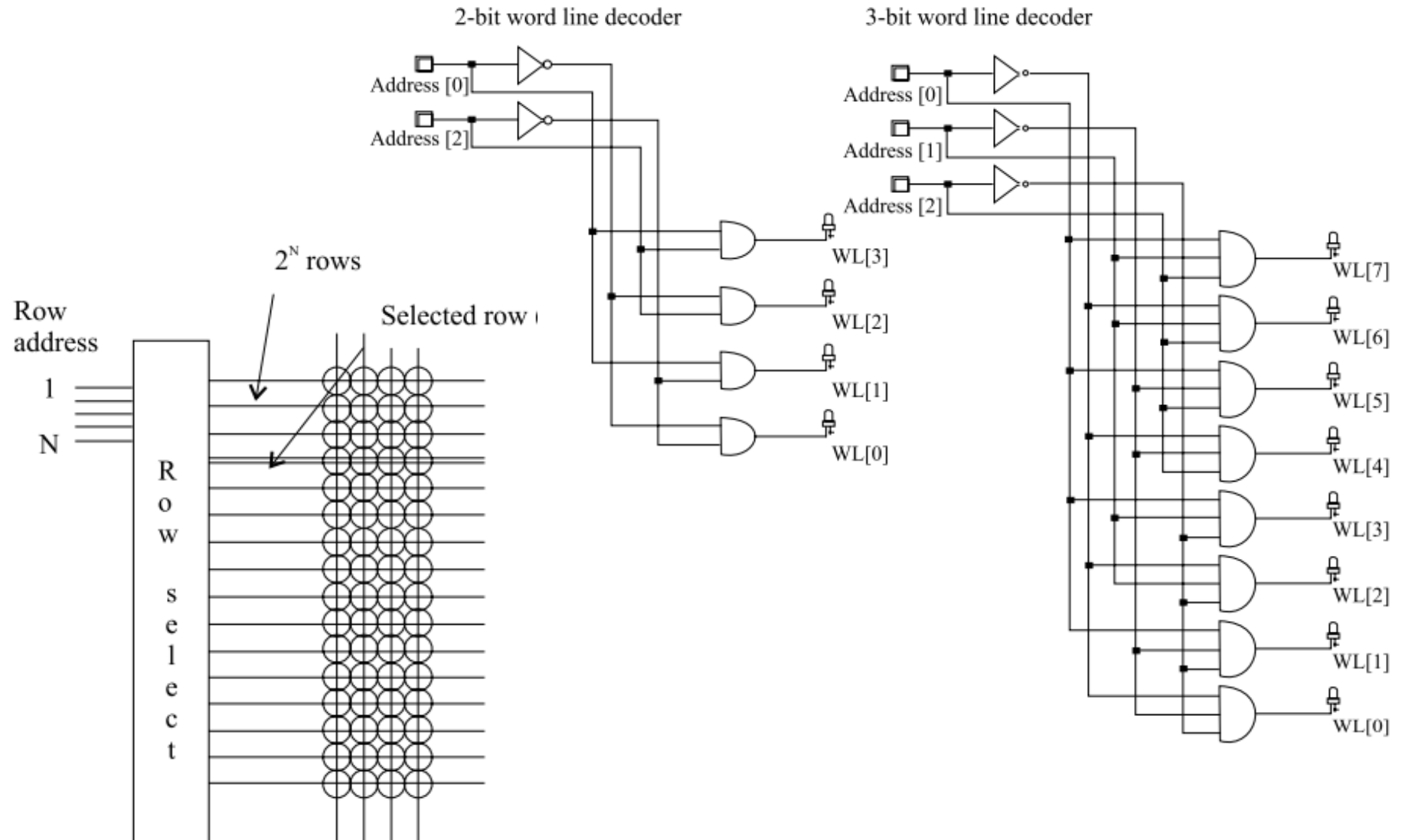
- La figure suivante illustre l'architecture générale d'un circuit mémoire.
- Décodeur de lignes:** permet de sélectionner une seule ligne en fonction de l'adresse appliquée sur un bus d'adresse de N bits. Le décodeur permet donc d'adresser 2^N lignes mémoires



Chapitre 6: Conception des circuits mémoires

- **La mémoire RAM**

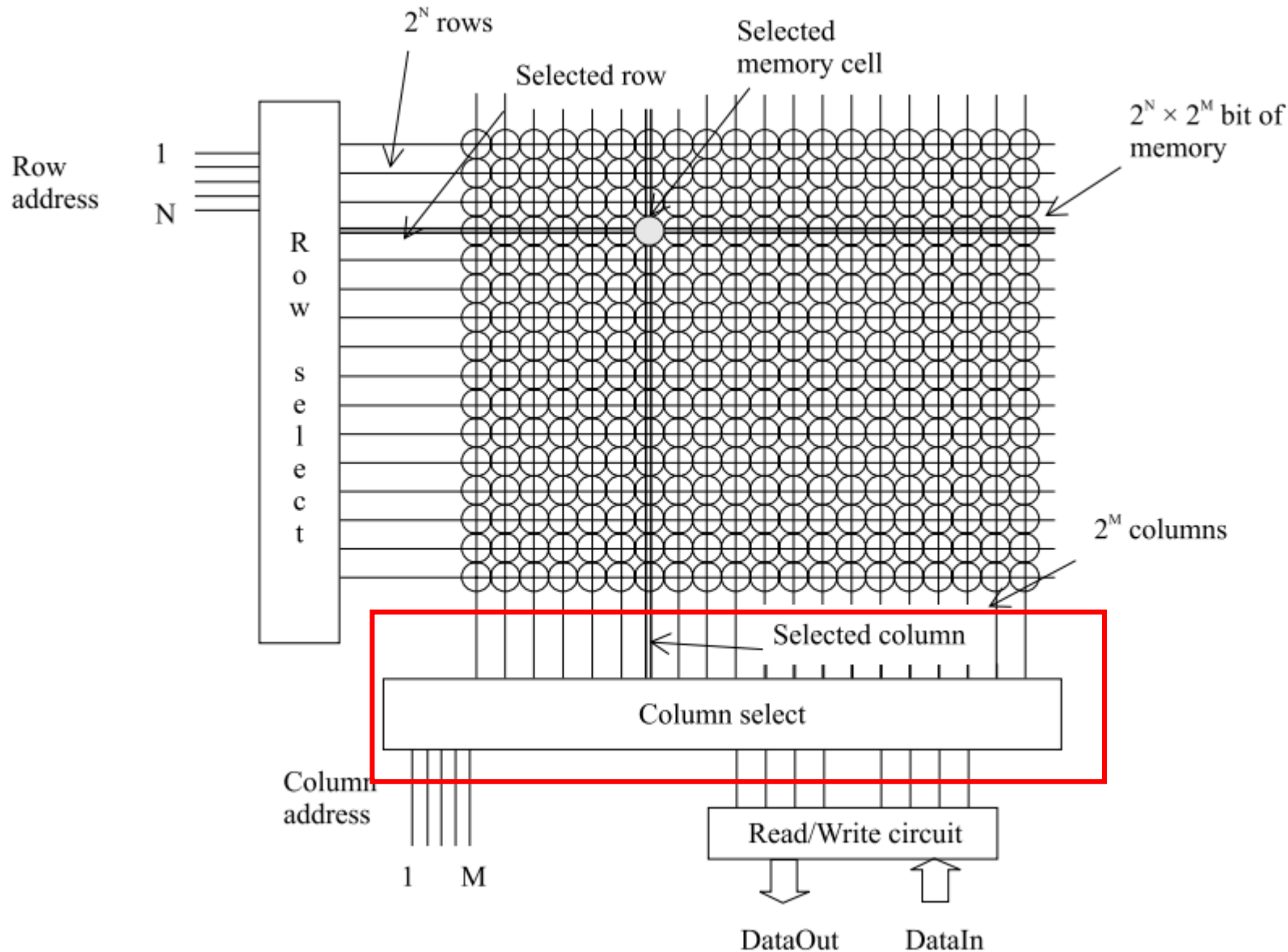
- Le nombre d'entrée du décodeur d'adresse de ligne dépend du nombre de ligne de la mémoire.
- Une mémoire de 4 lignes aura besoin d'un décodeur de 2 vers 4
- Une mémoire de 8 lignes aura besoin d'un décodeur 4 vers 8



Chapitre 6: Conception des circuits mémoires

- Architecture d'une mémoire

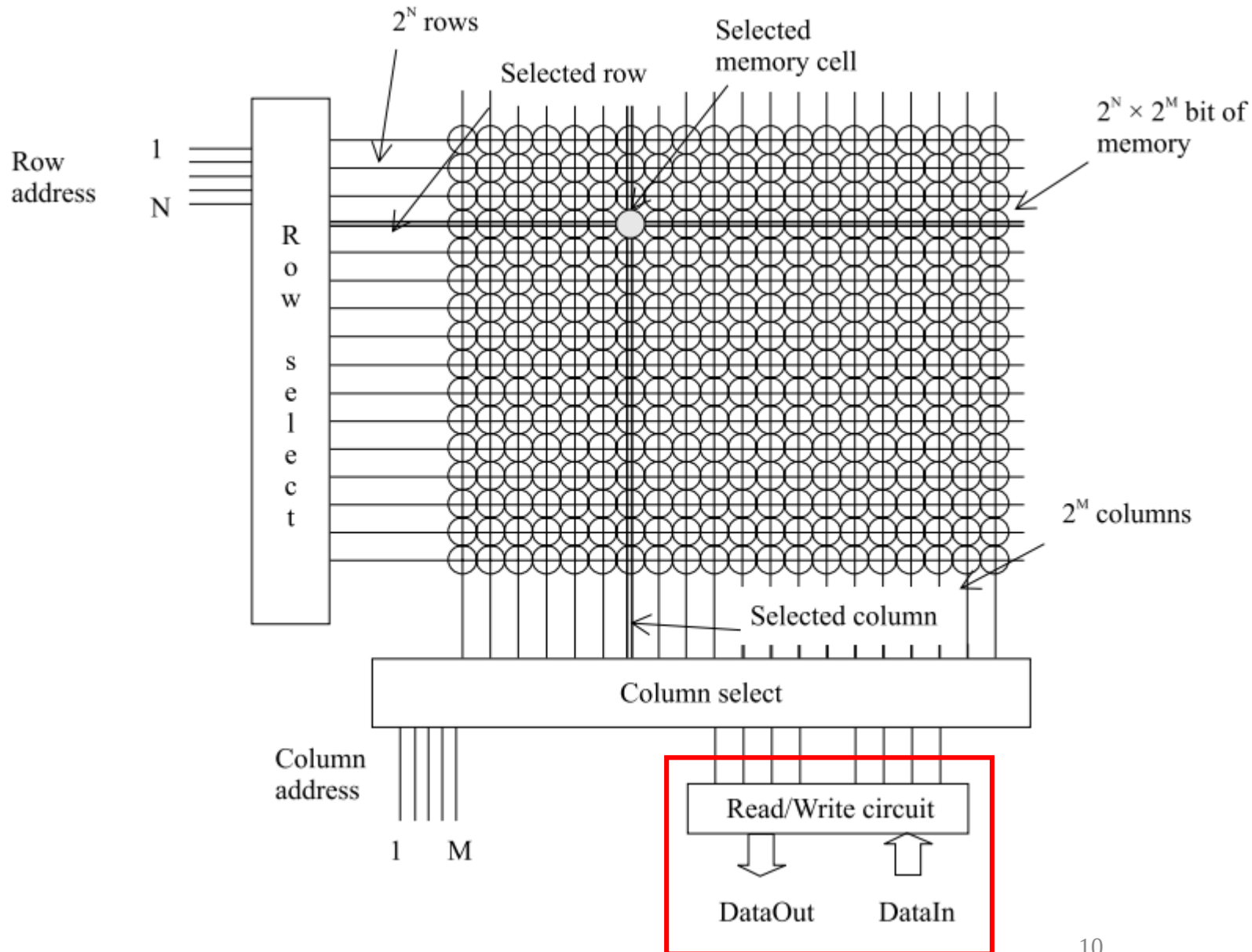
- La figure suivante illustre l'architecture générale d'un circuit mémoire.
- Décodeur de colonnes:** permet de sélectionner une seule colonne en fonction de l'adresse appliquée sur un bus d'adresse de **M bits**. Le décodeur permet donc d'adresser **2^M colonnes mémoires (la capacité de la mémoire est donc de $2^N \times 2^M$ bits)**
- L'intersection de la ligne et de la colonne sélectionnés permet l'accès à la case mémoire recherchée



Chapitre 6: Conception des circuits mémoires

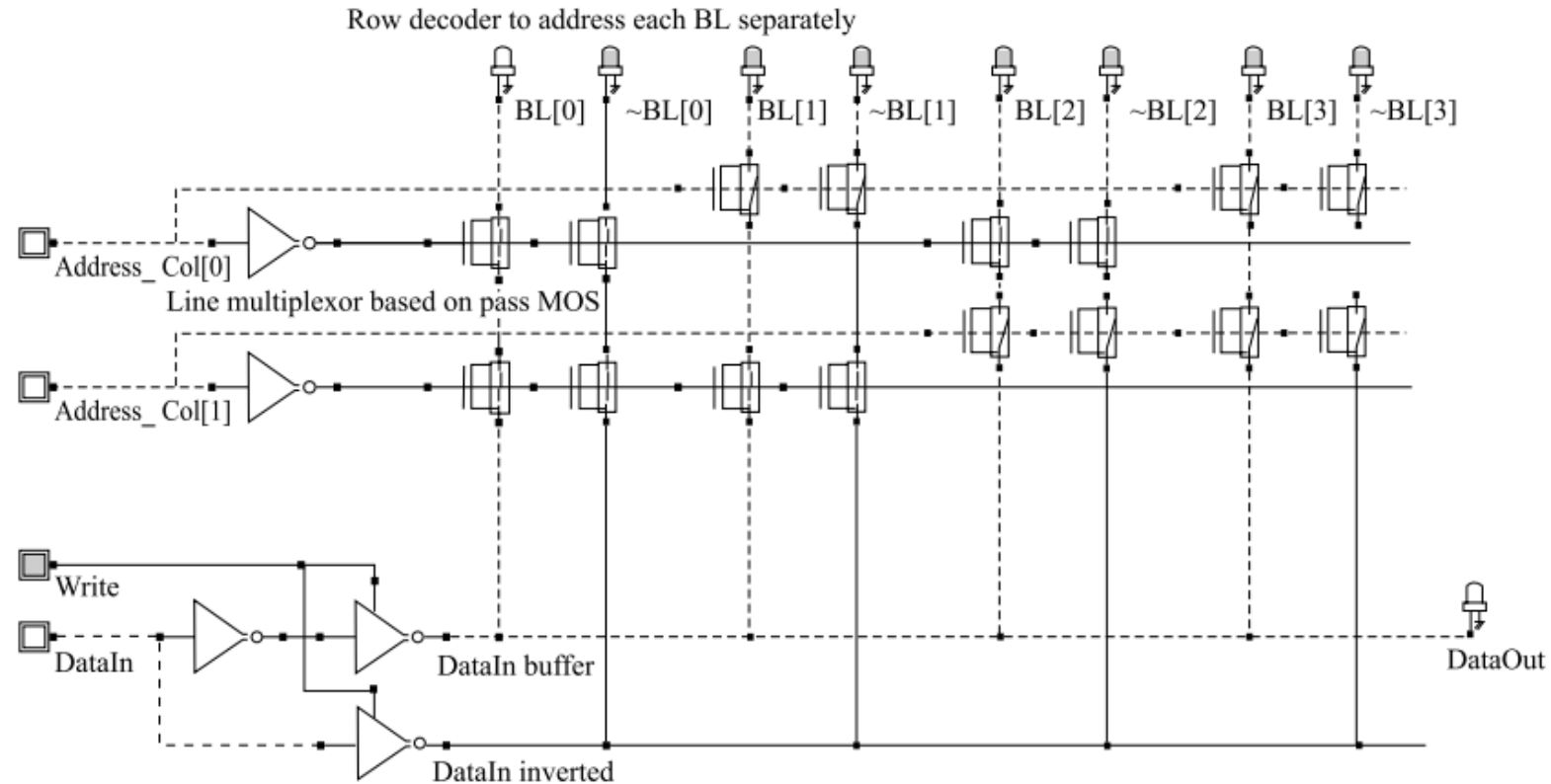
- Architecture d'une mémoire

- Le circuit Read/Write:** il permet de lire la donnée stockée dans la case sélectionnée (Data_Out) ou d'écrire une nouvelle donnée dans la même case (Data_In)



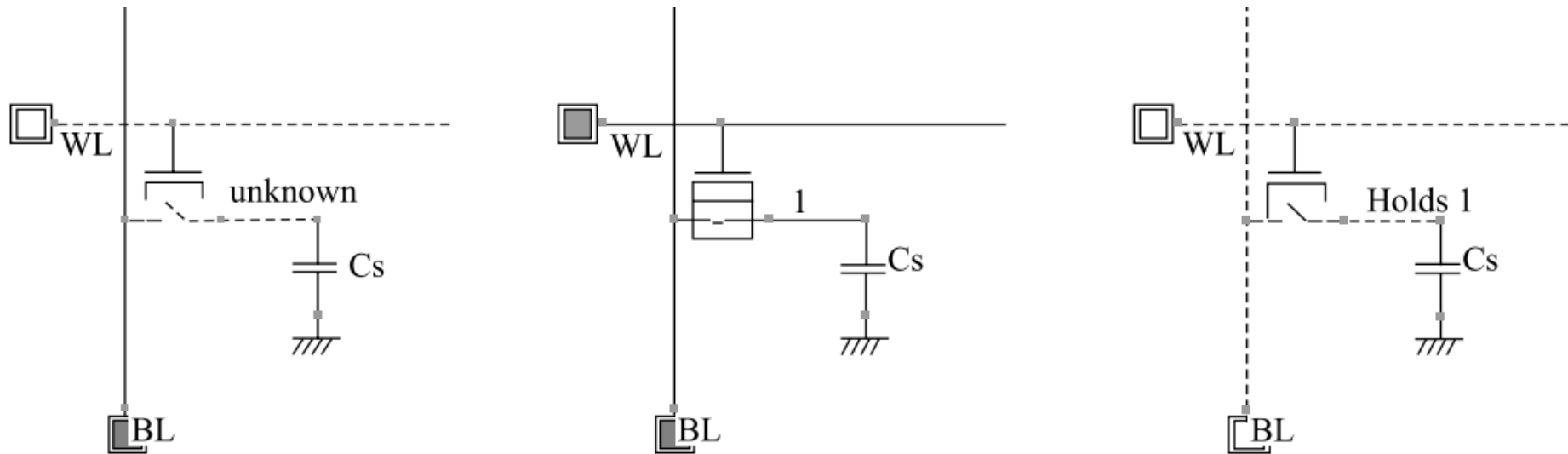
Chapitre 6: Conception des circuits mémoires

- **Architecture d'une mémoire**
 - **Décodeur de colonnes:** permet de sélectionner une seule colonne parmi les M colonnes de la mémoire. La figure suivante illustre le décodeur de colonne dans le cas d'une mémoire à 4 colonnes.
 - On peut noter les inverseurs à trois états permettant d'activer l'écriture dans la mémoire
 - Dans le cas où les inverseurs sont désactivés, la donnée est lue sur DataOut



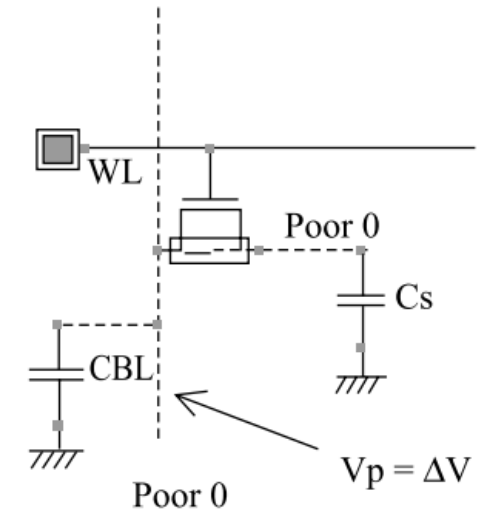
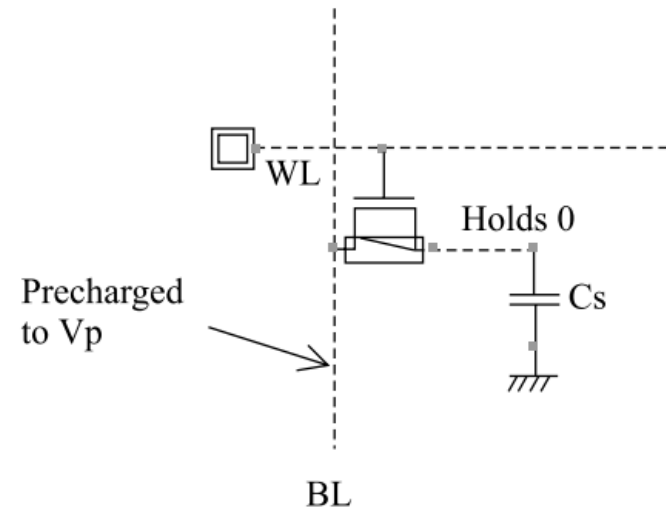
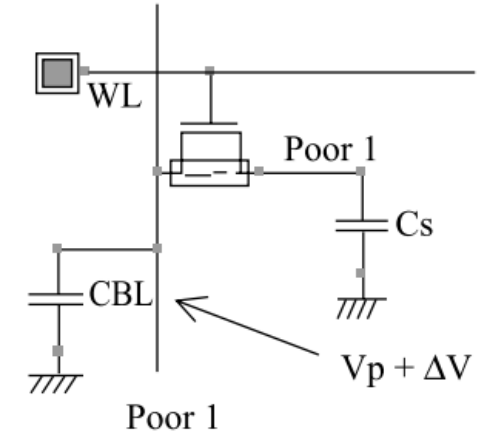
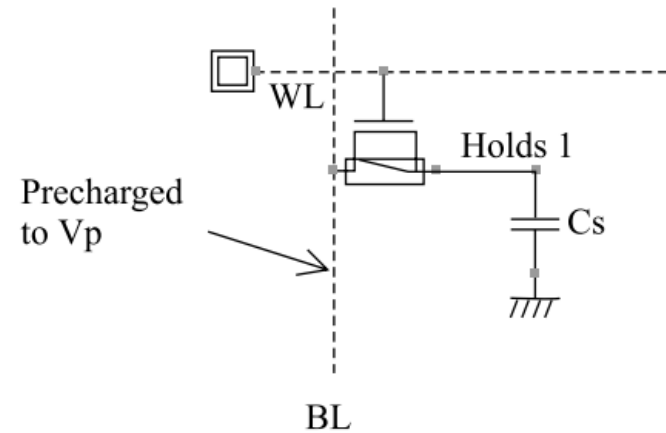
Chapitre 6: Conception des circuits mémoires

- La mémoire DRAM
- La mémoire DRAM est basée sur un seul transistor de passage et une capacité de stockage
- **L'écriture de la donnée se fait de la manière suivante:** La donnée est placée sur la ligne BL puis WL passe à 1 pour activer le transistor. La capacité de stockage C_s se charge à une tension de $V = V_{dd} - V_t$ à cause de la tension de seuil du transistor NMOS



Chapitre 6: Conception des circuits mémoires

- La mémoire DRAM
 - La lecture de la donnée se fait de la manière suivante:
 - Une tension de pré-charge V_p (de l'ordre de $V_{dd}/2$) est placée sur la ligne BL
 - Après la WL est activé
 - Si la capacité est initialement chargée (data = 1) alors la tension disponible sur BL est de $V_p + DV$ (deux capacité en // $V_{dd}/2 < \rightarrow V_{dd} - V_t$)
 - Si la capacité est déchargée (data = 0) alors la tension disponible sur BL est de DV (deux capacité en // $V_{dd}/2 \leftarrow \rightarrow 0V$)

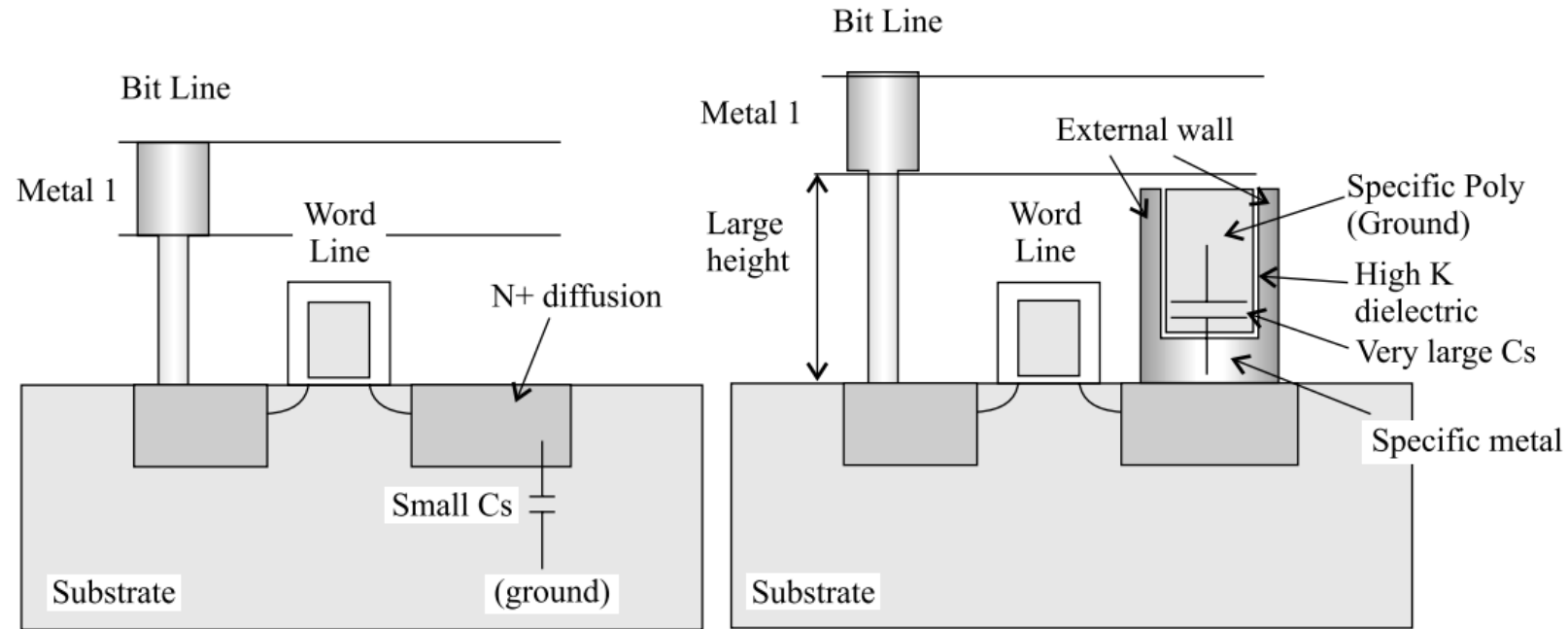


Chapitre 6: Conception des circuits mémoires

- **La mémoire DRAM**

- Les capacités de stockages sont dans l'ordre de 10fF à 50fF

- *La zone de diffusion de type N et le substrat de type P se comportent comme une jonction PN polarisée en inverse donc comme une capacité de stockage (DRAM à jonction)*

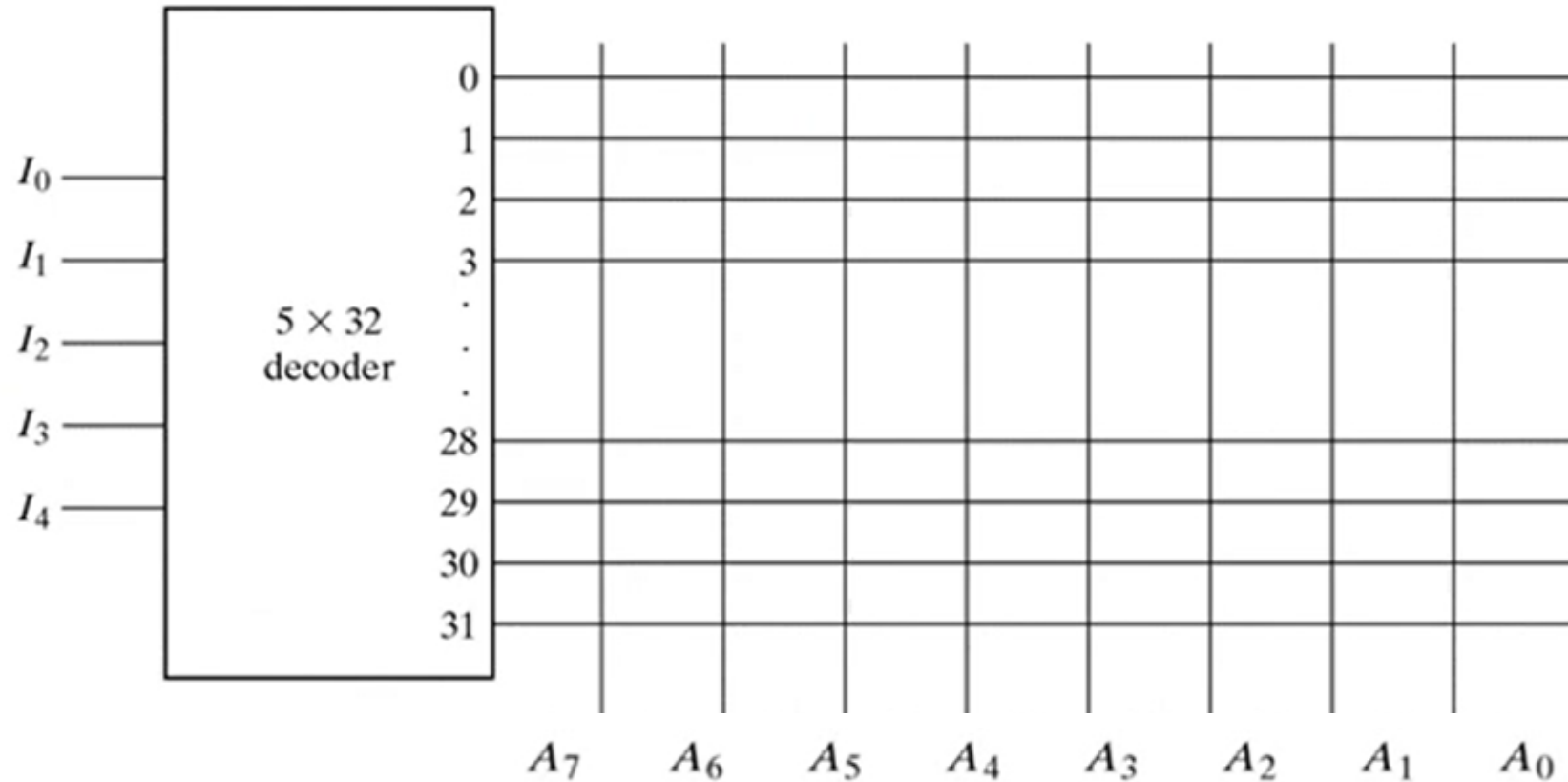


- *Dans le cas des DRAM avec des capacités embarquées, on utilise un métal avec un matériau poli-silicium séparés par un diélectrique avec une permittivité*
- *Les mémoires avec des capacités larges nécessitent moins de cycle de rafraichissement que les mémoires avec des capacités faibles*
- *En contre partie, ces mémoires, à cause de leurs capacité larges, consomment plus de puissance*

Chapitre 6: Conception des circuits mémoires

- **La mémoire ROM (Read Only Memory)**

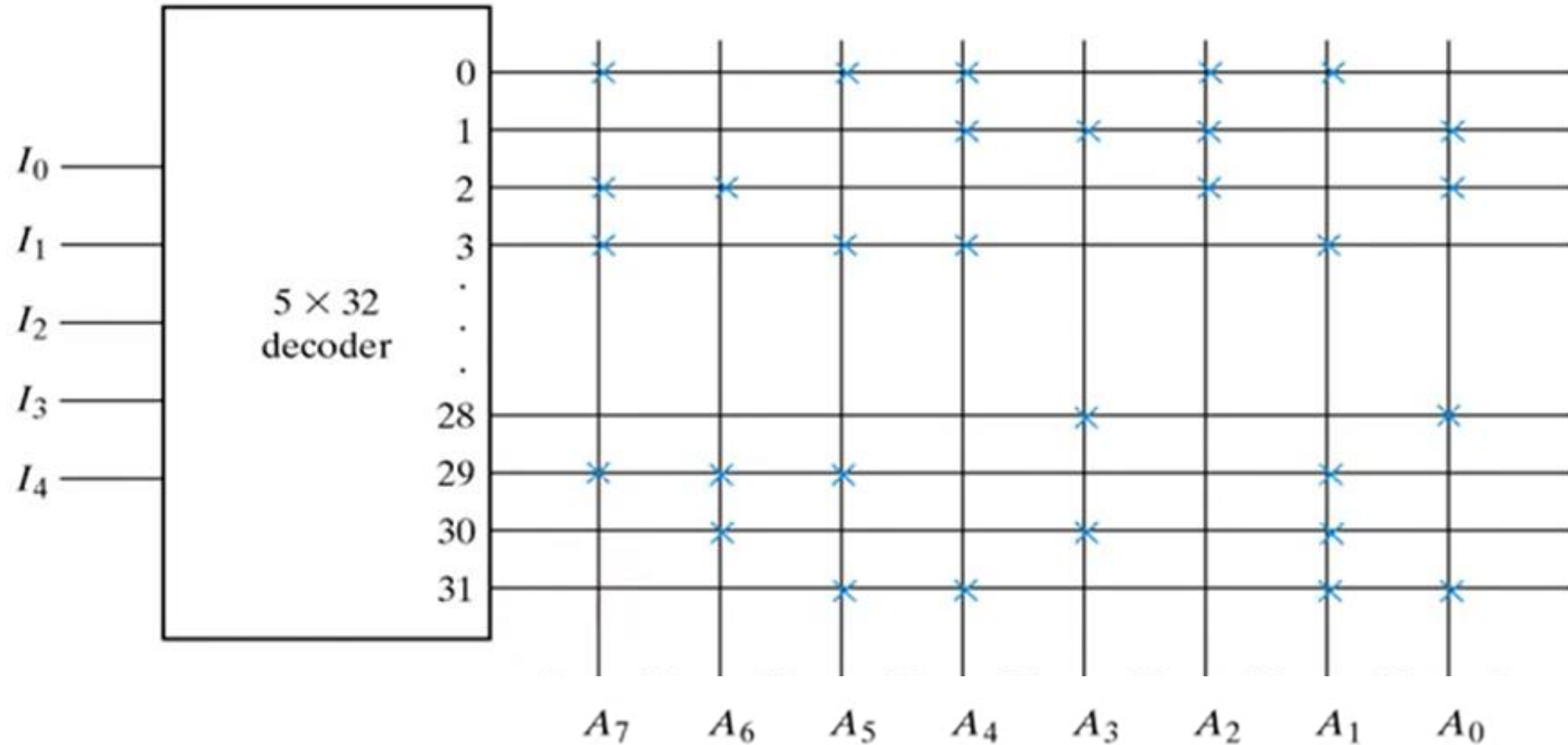
- La figure suivante illustre la structure d'une mémoire ROM.
- L'intersection entre les lignes et les colonnes du champ mémoire est effectué lors de la programmation initiale de la mémoire (fusibles)
- Un décodeur d'adresse permet de sélectionner une seule ligne parmi les lignes de la mémoire (ligne mise à 1)
- Ce qui permet d'avoir à la sortie le niveau 1 là où les interconnexion sont effectuées



Chapitre 6: Conception des circuits mémoires

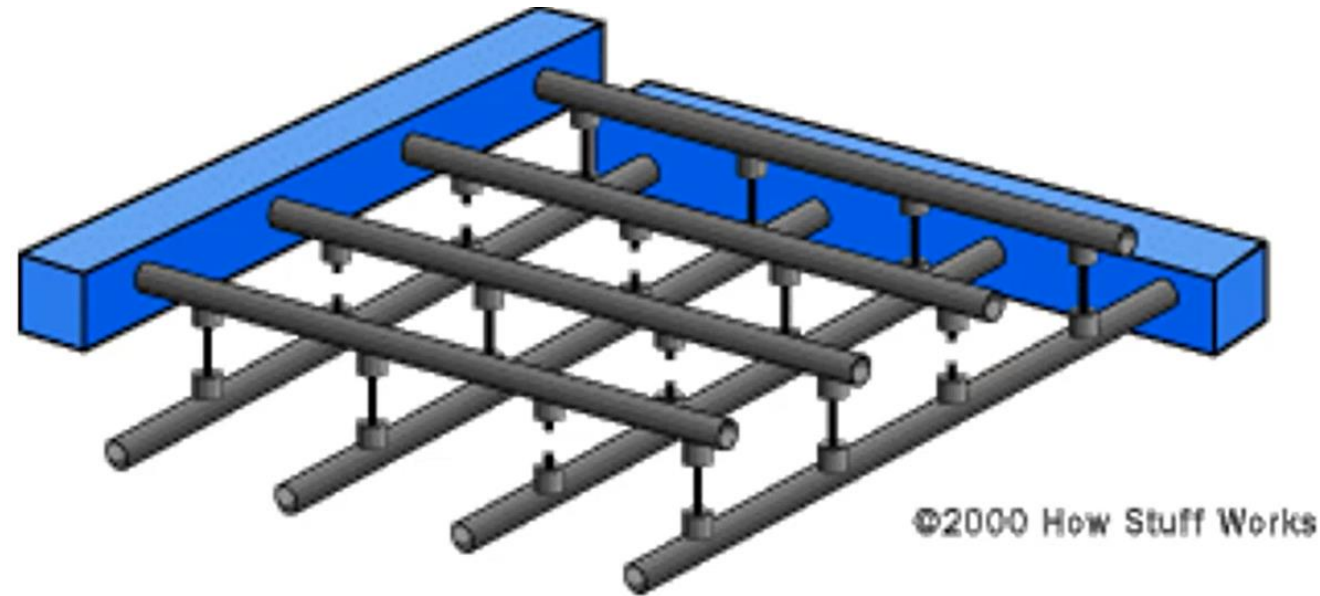
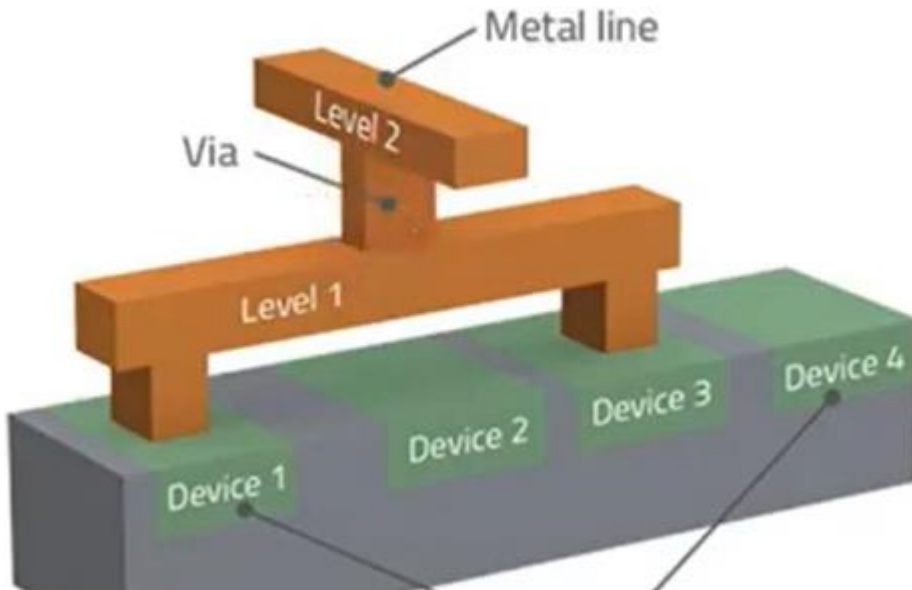
- La mémoire ROM (Read Only Memory)

- Les interconnexions entre les lignes et les colonnes sont marquées par un X
- Supposons que le décodeur reçoit à son entrée l'adresse 00011
- La troisième ligne est donc mise à 1
- Ce qui permet d'avoir à la sortie la donnée suivante: 10110010



Chapitre 6: Conception des circuits mémoires

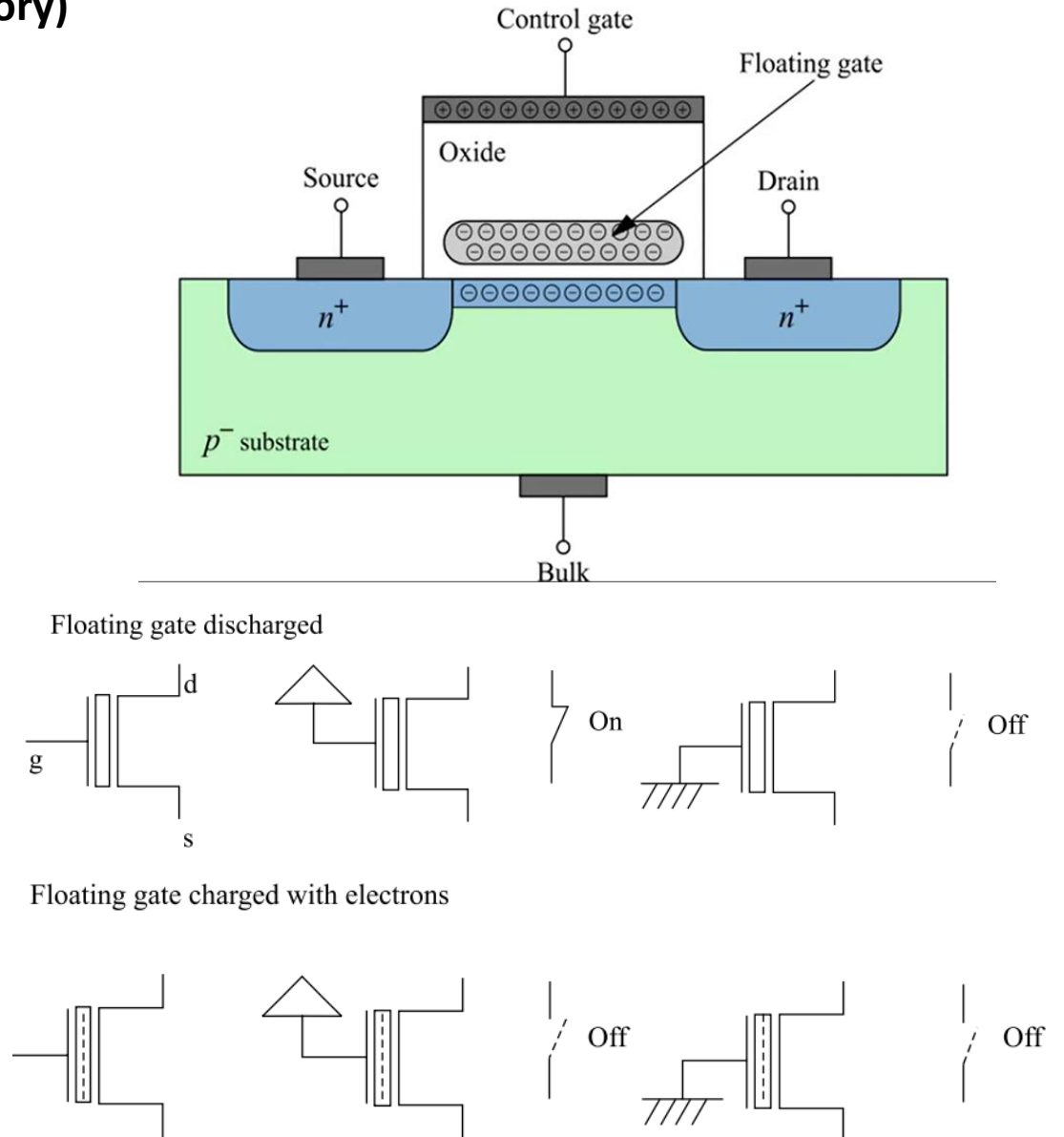
- La mémoire ROM (Read Only Memory)
 - Les figures suivantes illustrent des structures simplifiées de la mémoire ROM
 - Les lignes et les colonnes sont réalisées par de niveaux de métal (métal 1 et métal 2)
 - L'interconnexion entre les métaux peut être réalisée soit par des fusibles (image à droite) soit par des vias (images à gauche)



Chapitre 6: Conception des circuits mémoires

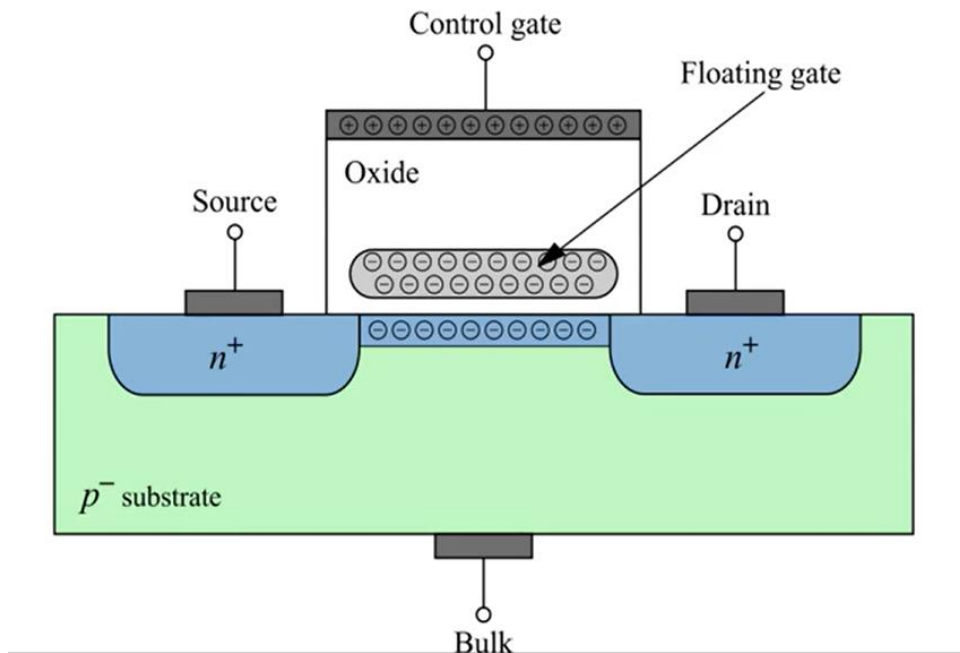
- **La mémoire EPROM (Ereasable Programmable Read Only Memory)**

- Les interconnexions entre les lignes et les colonnes d'une EPROM sont réalisées par des **transistors à grille flottante** (réalisée par le ploysilicon)
- Supposons que le transistor fonctionne avec une tension de **5V**. Si on applique une tension de **20V au niveau de la grille** et une tension de **5V au niveau du drain** et **la source est liée à la masse**
- les é commencent alors à passer de la source vers le drain mais à cause de la tension élevée appliquée sur la grille, ces é seront attirés vers la grille flottante (à cause d'un champ électrique très intense **20V / quelques nm**)
- Le transistor devient alors bloqué (le canal ne peut pas se former en appliquant une tension de 5V au niveau de la grille: les é du canal seront repoussés par ceux de la grille flottante)



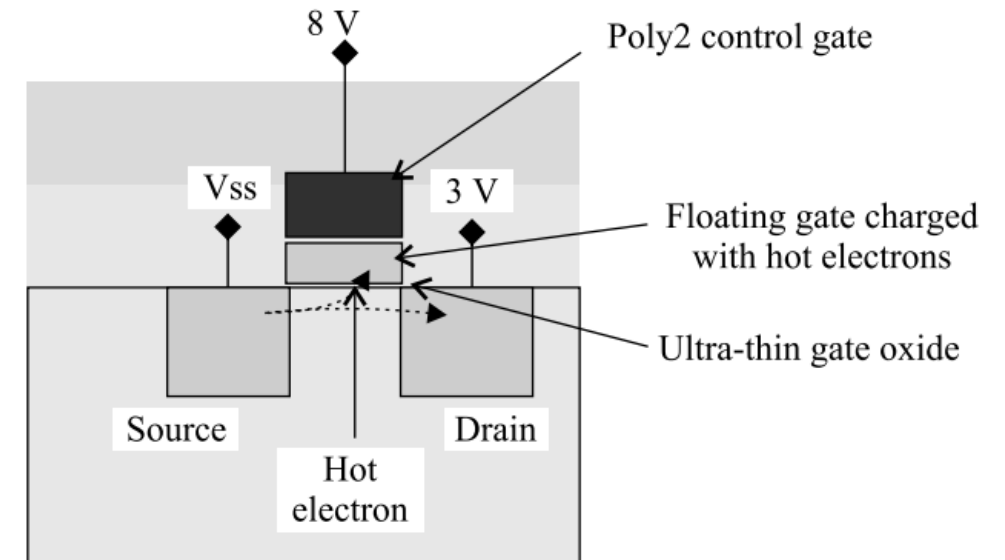
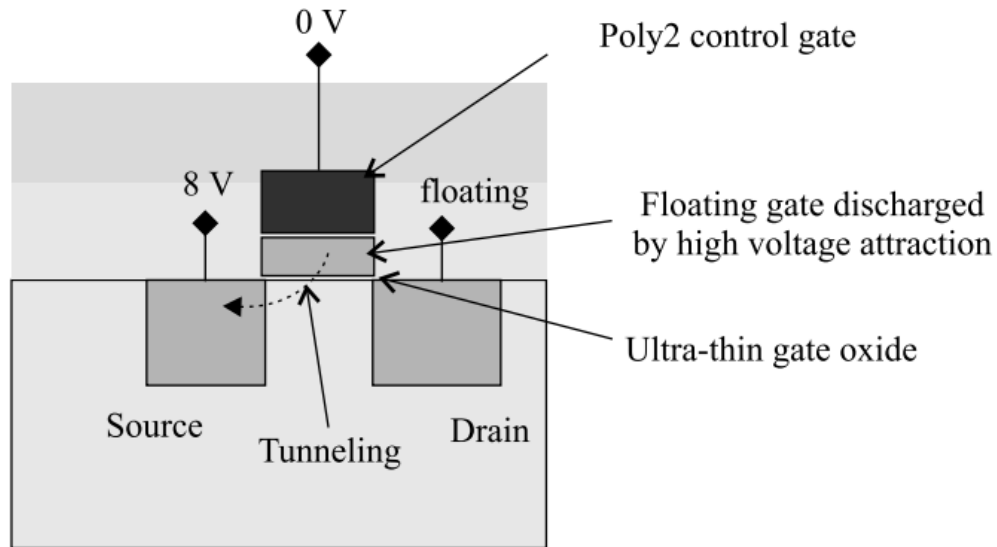
Chapitre 6: Conception des circuits mémoires

- La mémoire EPROM (Ereasable Programmable Read Only Memory)
- À la différence d'une mémoire PROM (Programmable Read Only Memory) qui ne peut être programmée qu'une seule fois (ou OTP : One Time Programming), une mémoire EPROM peut être effacée et reprogrammée plusieurs fois et peut être lue à l'infini.
- Les EPROM possèdent une fenêtre transparente permettant le passage de rayons ultraviolets nécessaires à l'effacement
- Les e^- de la grille flottante seront alors excités et passent à nouveau vers le substrat



Chapitre 6: Conception des circuits mémoires

- **La mémoire EEPROM (Electrically Erasable Programmable Read Only Memory)**
- Les mémoires EEPROM sont basées aussi sur les transistors à grille flottante sauf que ce type de mémoire peut être effacée électriquement
- les tensions à appliquer au niveau des pins du transistors dépendent de plusieurs facteurs notamment la technologie (longueur du canal), l'épaisseur du dioxyde...
- **L'effacement peut être effectué en appliquant une tension élevée au niveau de la source tout en laissant le drain flottant et la grille au potentiel nul.**
- Dans ce cas les é seront attirés à nouveau vers la source
- Dans une EEPROM, les données stockées peuvent durées plus de 10ans (cela dépend du transistor MOS utilisé)

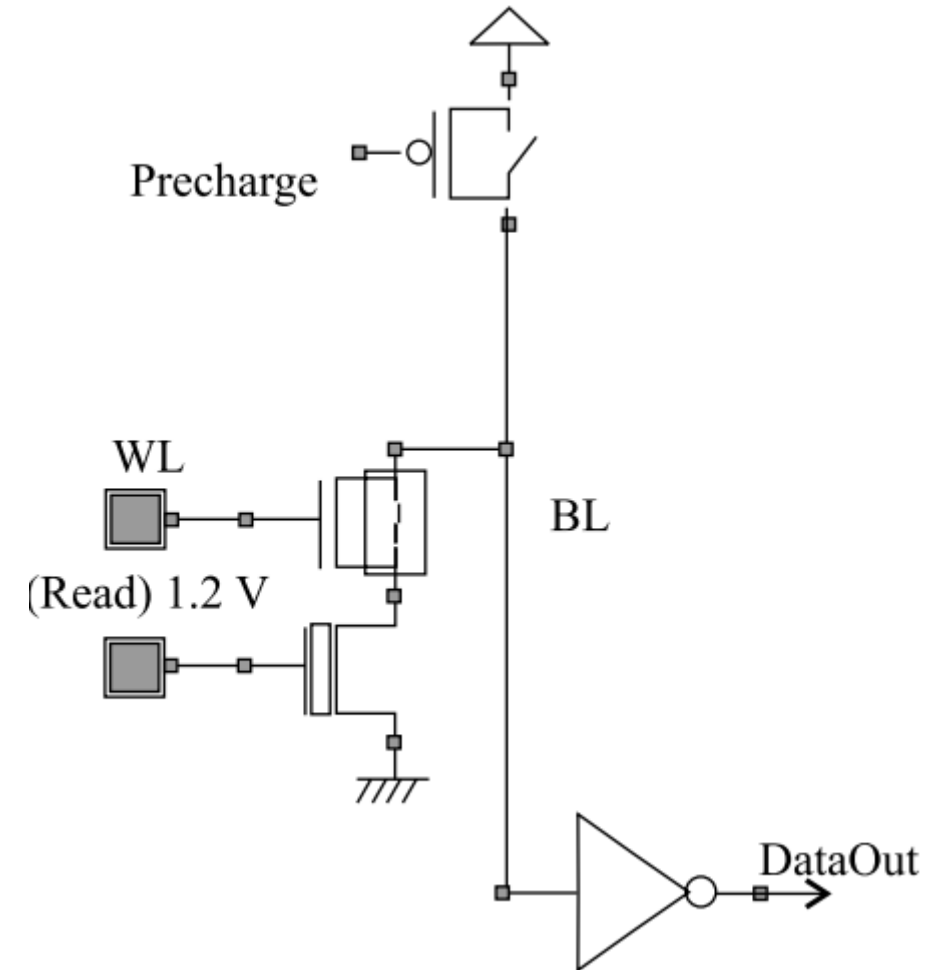


Chapitre 6: Conception des circuits mémoires

- La mémoire EEPROM (Electrically Erasable Programmable Read Only Memory)

- Mode lecture

- La figure suivante illustre le cas d'une lecture d'une donnée stockée dans la mémoire EEPROM
- Après un pré-charge vers Vdd (le transistor PMOS en haut est passant), le signal WL passe alors à 1 donnant l'accès au signal BL vers le transistor MOS à grille isolée.
- Un signal Read (avec une tension de 1.2V) est alors appliquée au niveau de la grille du transistor à grille flottante
- Si la grille flottante du transistor n'est pas chargée alors dans ce cas le signal BL passe à 0 et le data_out est à 1
- Si la grille flottante est chargée alors le signal BL est à 1 et la donnée en sortie est à 0

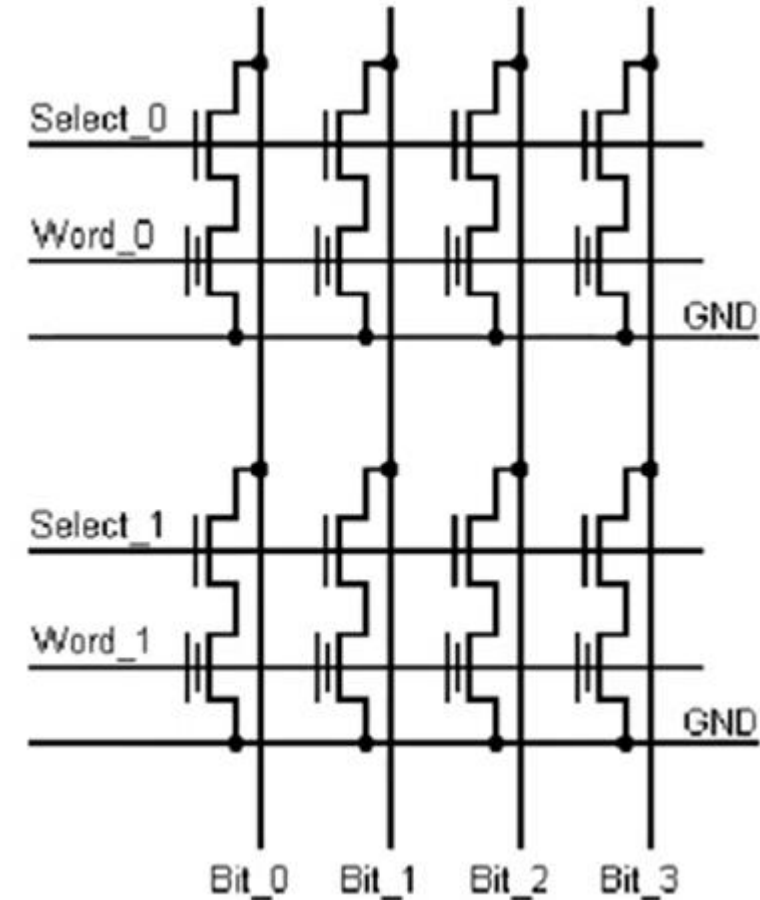
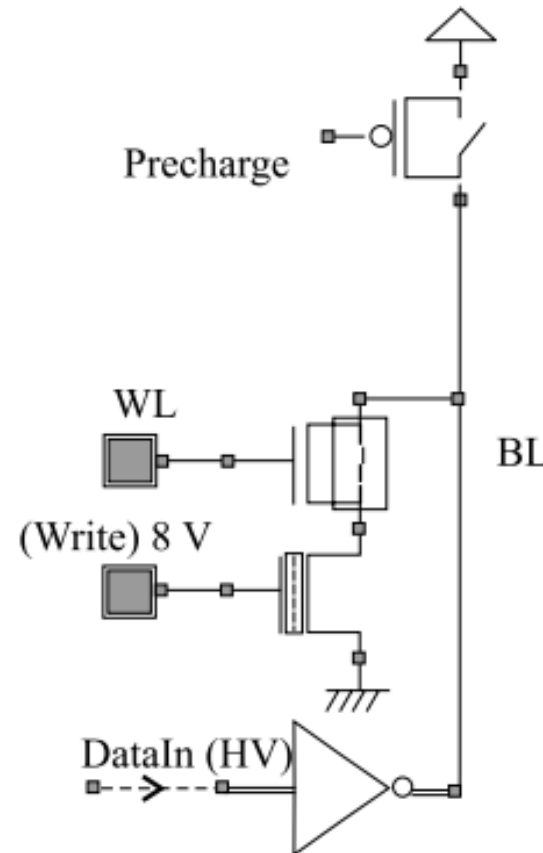


Chapitre 6: Conception des circuits mémoires

- La mémoire EEPROM (Electrically Erasable Programmable Read Only Memory)

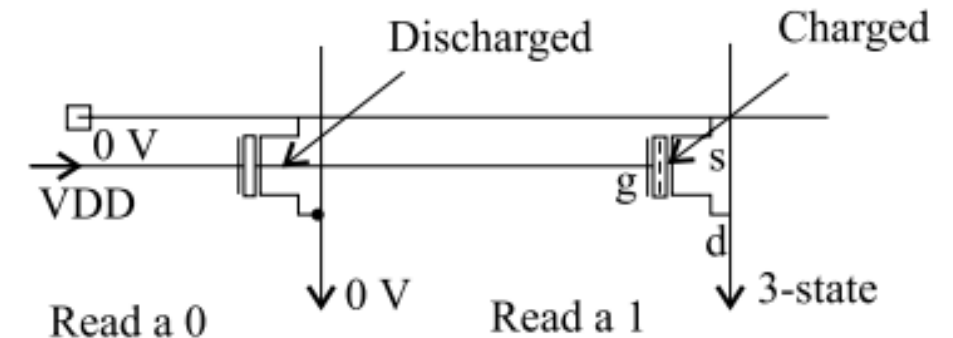
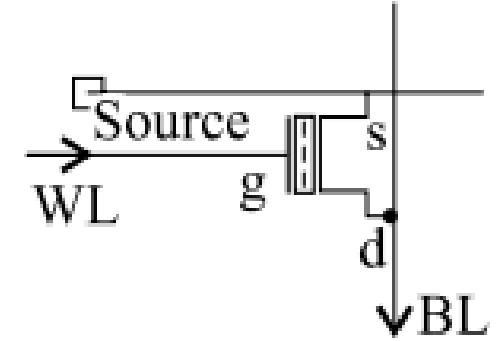
- Mode écriture

- L'opération d'écriture consiste à appliquer une tension élevée (8V) au niveau de la grille du MOS à grille isolée et d'envoyer un 1 ou 0 au niveau du signal BL tout en activant le transistor de passage par le signal WL
- Le transistor PMOS isole la cellule de l'alimentation
- Si un niveau 1 est envoyé sur le signal BL alors les électrons en déplacement de la source vers le drain seront attirés vers la grille isolée à cause de la tension élevée au niveau de la grille de ce transistor
- Si un niveau 0 est envoyé sur le signal BL alors il n'y aura pas d'électrons en mouvement et la grille flottante n'est pas chargée.



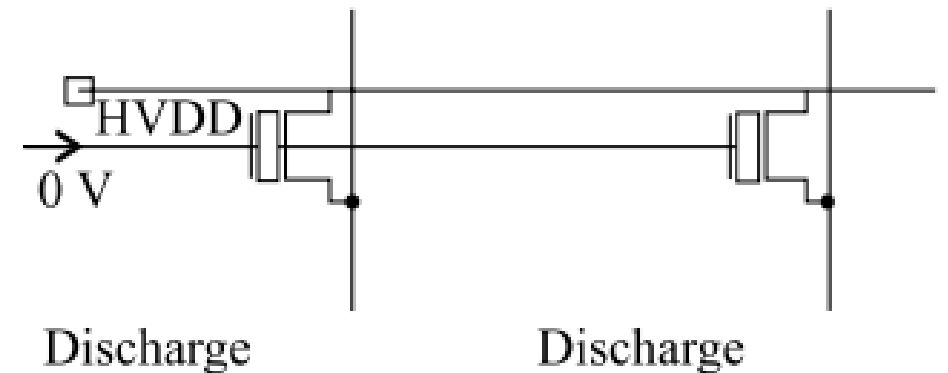
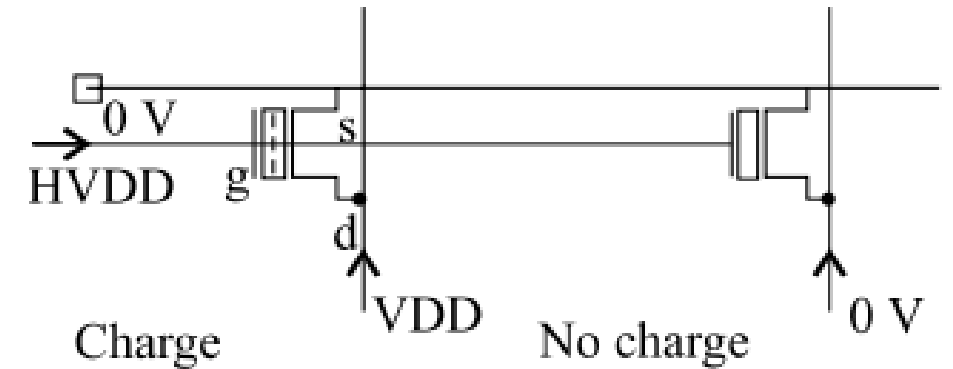
Chapitre 6: Conception des circuits mémoires

- **La mémoire flash**
- Les mémoires flash constituent des versions améliorées des mémoires EEPROM
- Les transistors de sélection et de passages sont supprimés ce qui permet d'améliorer la densité de stockage de la mémoire
- La source est liée à un signal de masse (0V) et le drain est lié au signal BL
- **Mode lecture**
- Pour lire une donnée, on applique une tension Vdd (ligne activée par le décodeur de ligne) et en fonction de l'état du transistor on peut avoir soit un 0 (si le transistor n'est pas chargé) soit un signal déconnecté (Haut impédance si le transistor est chargé) ces deux niveaux sont alors identifiés par un circuit driver : Sens Amplifier



Chapitre 6: Conception des circuits mémoires

- **La mémoire flash**
 - **Mode écriture**
 - Pour écrire une donnée dans la mémoire, la source est portée à un potentiel nul et les grilles sélectionnées par le décodeur de lignes sont portées à des tensions élevées HVDD
 - Le décodeur de colonnes applique soit une tension Vdd pour charger la grille correspondante soit 0 pour ne pas la charger
 - **Mode effacement**
 - Pour effacer les données stockées dans la mémoire, on applique une tension HVDD au niveau de la source des transistors
 - Les grilles sont alors portées à des tensions nulles, ce qui permet d'attirer les électrons stockés dans la grille flottante vers la source du transistor



Chapitre 6: Conception des circuits mémoires

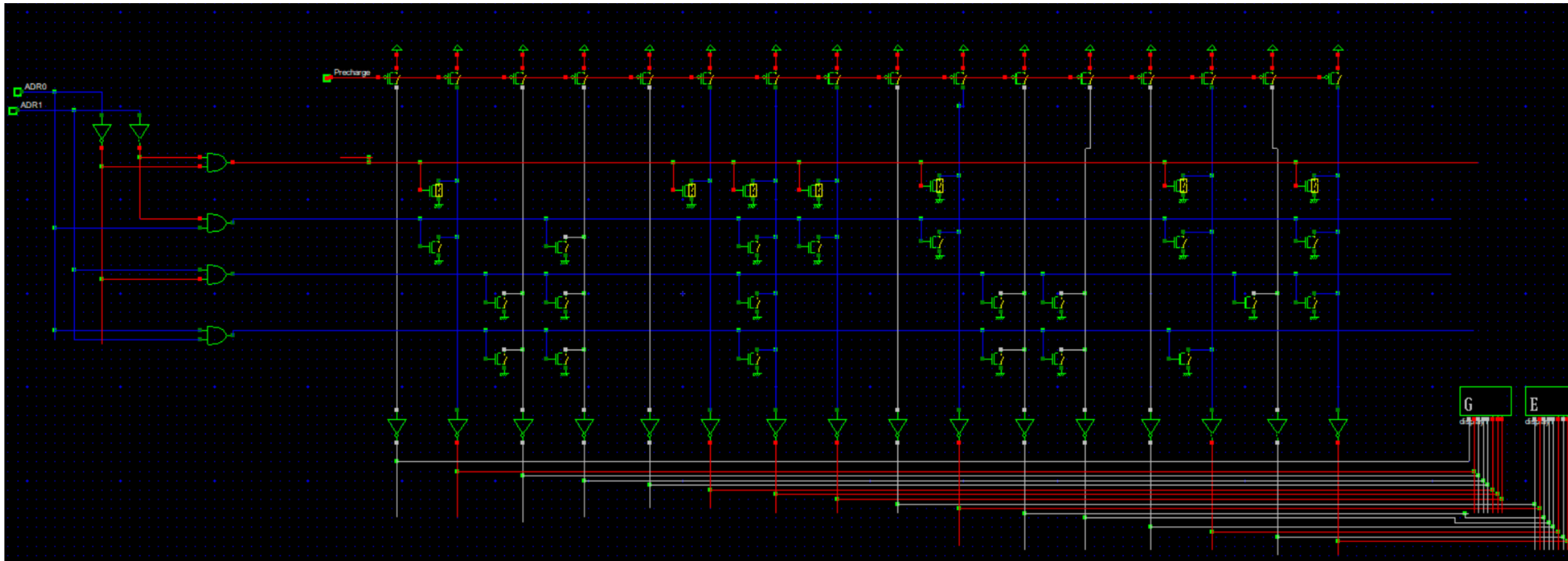
- Simulation d'une mémoire PROM de 64Bits (4x16Bits)
- On désire réaliser une mémoire PROM de 4 lignes et de 8 colonnes (32 Bits) permettant de stocker la chaine de caractère suivante:
 - Ligne 1: GE
 - Ligne 2: SE
 - Ligne 3: 23
 - Ligne 4: 24
- NB: l'intersection entre les lignes et les colonnes de la mémoires se fait avec des NMOS de type PULL_Down

Ctrl	Dec	Hex	Char	Code	Dec	Hex	Char	Dec	Hex	Char	Dec	Hex	Char
^@	0	00		NUL	32	20	!	64	40	@	96	60	'
^A	1	01		SOH	33	21	!	65	41	A	97	61	a
^B	2	02		STX	34	22	"	66	42	B	98	62	b
^C	3	03		ETX	35	23	#	67	43	C	99	63	c
^D	4	04		EOT	36	24	\$	68	44	D	100	64	d
^E	5	05		ENQ	37	25	%	69	45	E	101	65	e
^F	6	06		ACK	38	26	&	70	46	F	102	66	f
^G	7	07		BEL	39	27	'	71	47	G	103	67	g
^H	8	08		BS	40	28	(	72	48	H	104	68	h
^I	9	09		HT	41	29	)	73	49	I	105	69	i
^J	10	0A		LF	42	2A	*	74	4A	J	106	6A	j
^K	11	0B		VT	43	2B	+	75	4B	K	107	6B	k
^L	12	0C		FF	44	2C	,	76	4C	L	108	6C	l
^M	13	0D		CR	45	2D	-	77	4D	M	109	6D	m
^N	14	0E		SO	46	2E	.	78	4E	N	110	6E	n
^O	15	0F		SI	47	2F	/	79	4F	O	111	6F	o
^P	16	10		DLE	48	30	0	80	50	P	112	70	p
^Q	17	11		DC1	49	31	1	81	51	Q	113	71	q
^R	18	12		DC2	50	32	2	82	52	R	114	72	r
^S	19	13		DC3	51	33	3	83	53	S	115	73	s
^T	20	14		DC4	52	34	4	84	54	T	116	74	t
^U	21	15		NAK	53	35	5	85	55	U	117	75	u
^V	22	16		SYN	54	36	6	86	56	V	118	76	v
^W	23	17		ETB	55	37	7	87	57	W	119	77	w
^X	24	18		CAN	56	38	8	88	58	X	120	78	x
^Y	25	19		EM	57	39	9	89	59	Y	121	79	y
^Z	26	1A		SUB	58	3A	:	90	5A	Z	122	7A	z
^[	27	1B		ESC	59	3B	;	91	5B	[	123	7B	{
^\	28	1C		FS	60	3C	<	92	5C	\	124	7C	
^]	29	1D		GS	61	3D	=	93	5D	]	125	7D	}
^^	30	1E	▲	RS	62	3E	>	94	5E	^	126	7E	~
^-	31	1F	▼	US	63	3F	?	95	5F	_	127	7F	Δ*

* ASCII code 127 has the code DEL. Under MS-DOS, this code has the same effect as ASCII 8 (BS).
The DEL code can be generated by the CTRL + BKSP key.

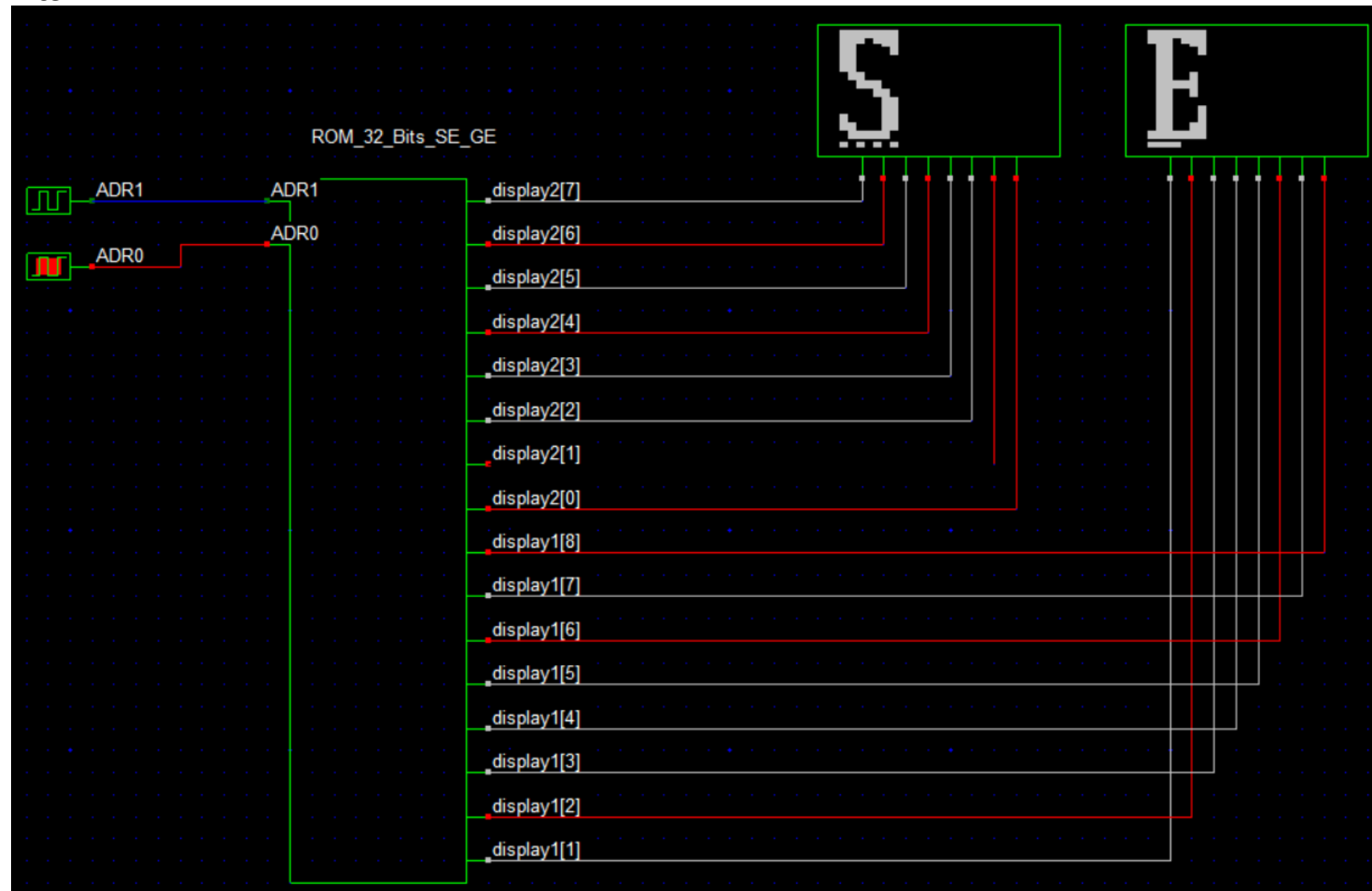
Chapitre 6: Conception des circuits mémoires

- Simulation d'une mémoire ROM 64Bits
- Mémoire ROM 46Bits (circuit complet)
- Simuler le fonctionnement de la mémoire ROM sous DSCH et vérifier son fonctionnement



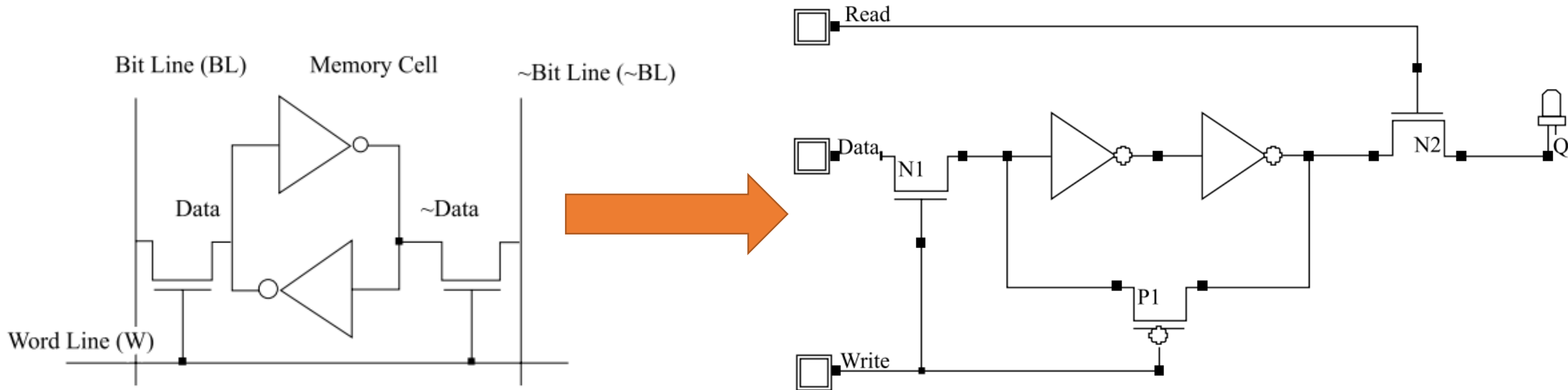
Chapitre 6: Conception des circuits mémoires

- Simulation d'une mémoire ROM 64Bits
- Générer le circuit intégré du schéma précédent sous DSCH comme le montre la figure suivante et vérifier son fonctionnement



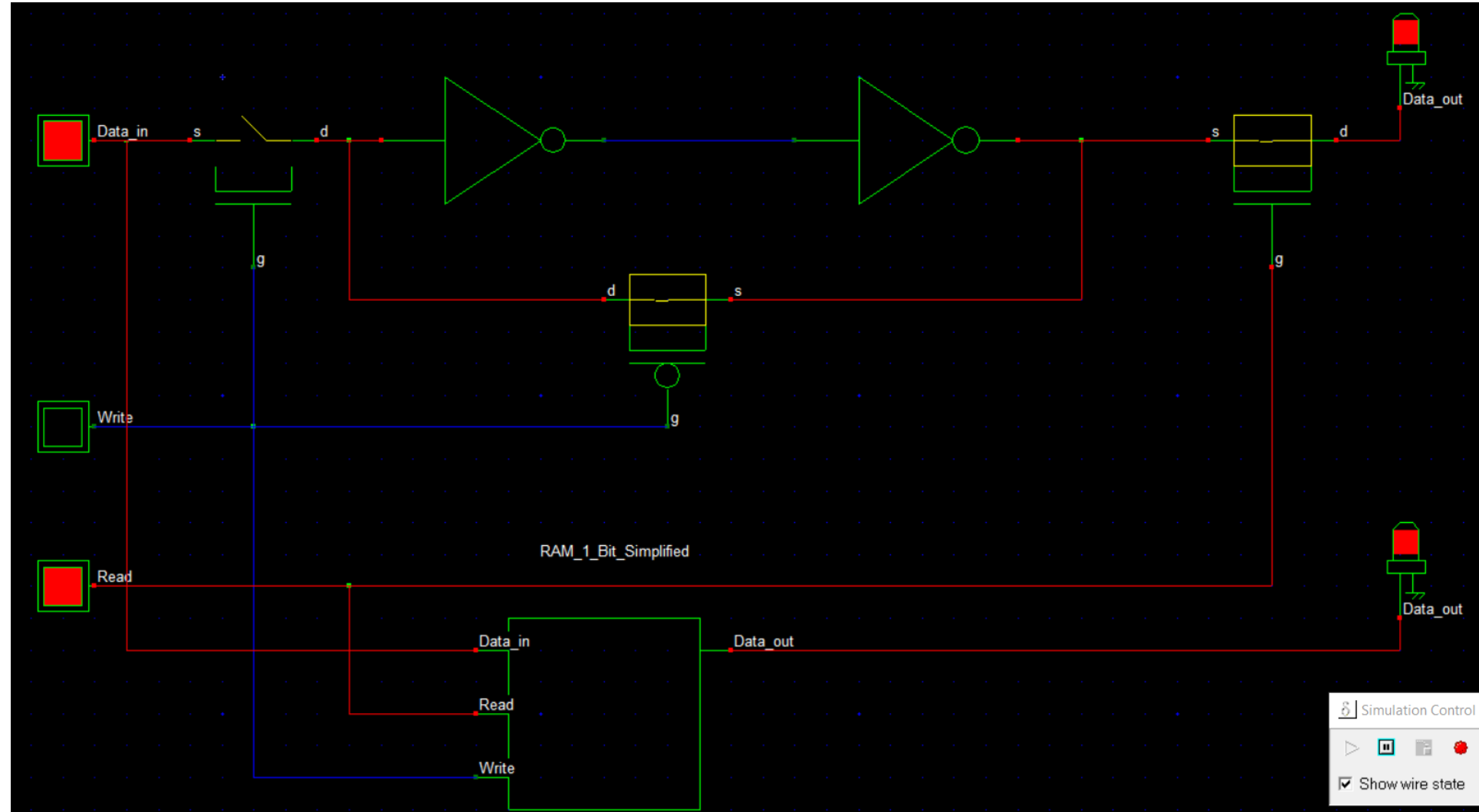
Chapitre 6: Conception des circuits mémoires

- Simulation d'une mémoire SRAM 32Bits
- Pour pouvoir écrire et lire dans la mémoire on a besoin de modifier la cellule de base comme le montre la figure suivante.



Chapitre 6: Conception des circuits mémoires

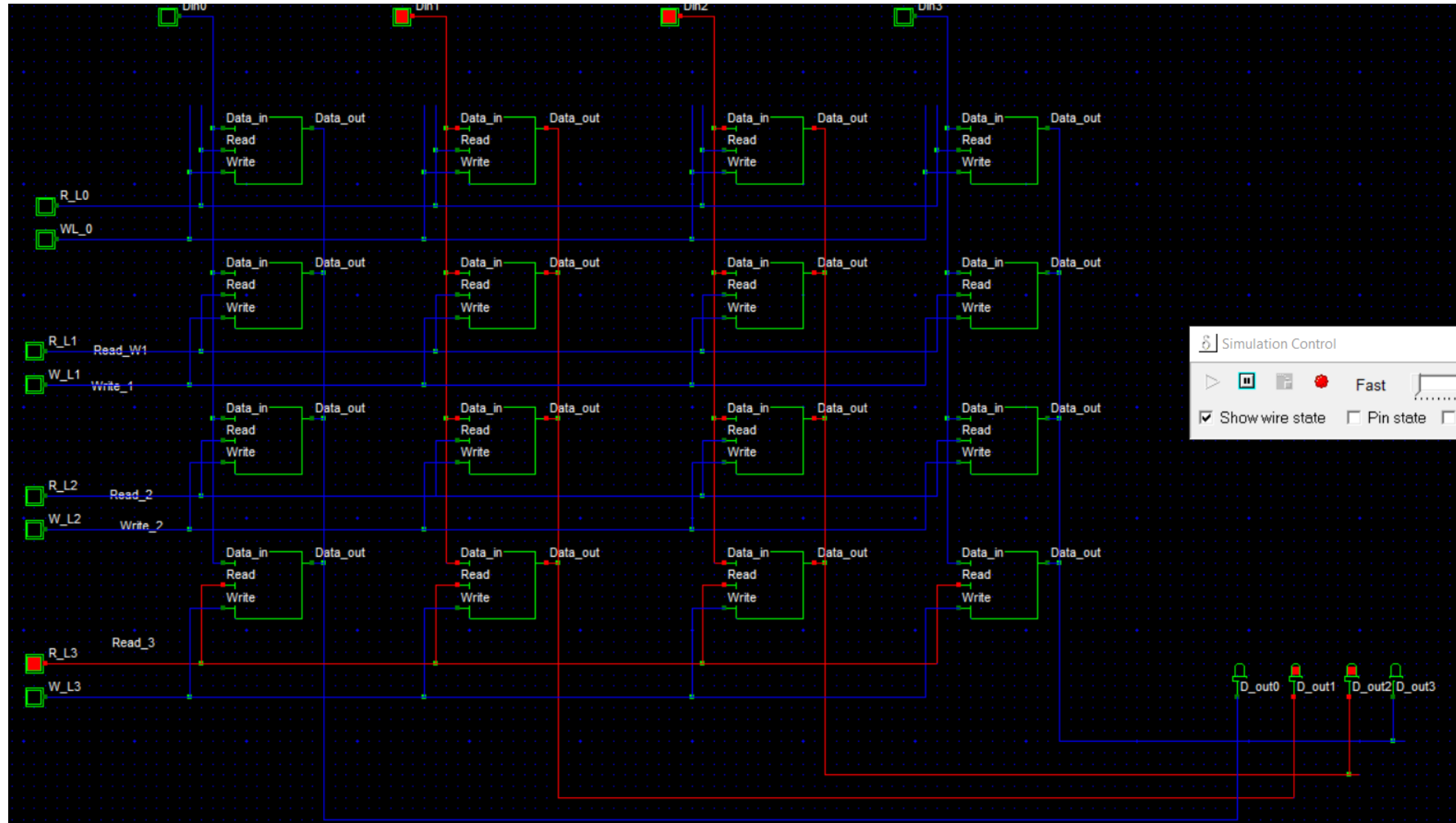
- Simulation d'une mémoire SRAM 16Bits
- Réaliser le schéma d'une seule cellule et simuler son fonctionnement sous DSCH



Chapitre 6: Conception des circuits mémoires

- Simulation d'une mémoire RAM de 4x4 Bits

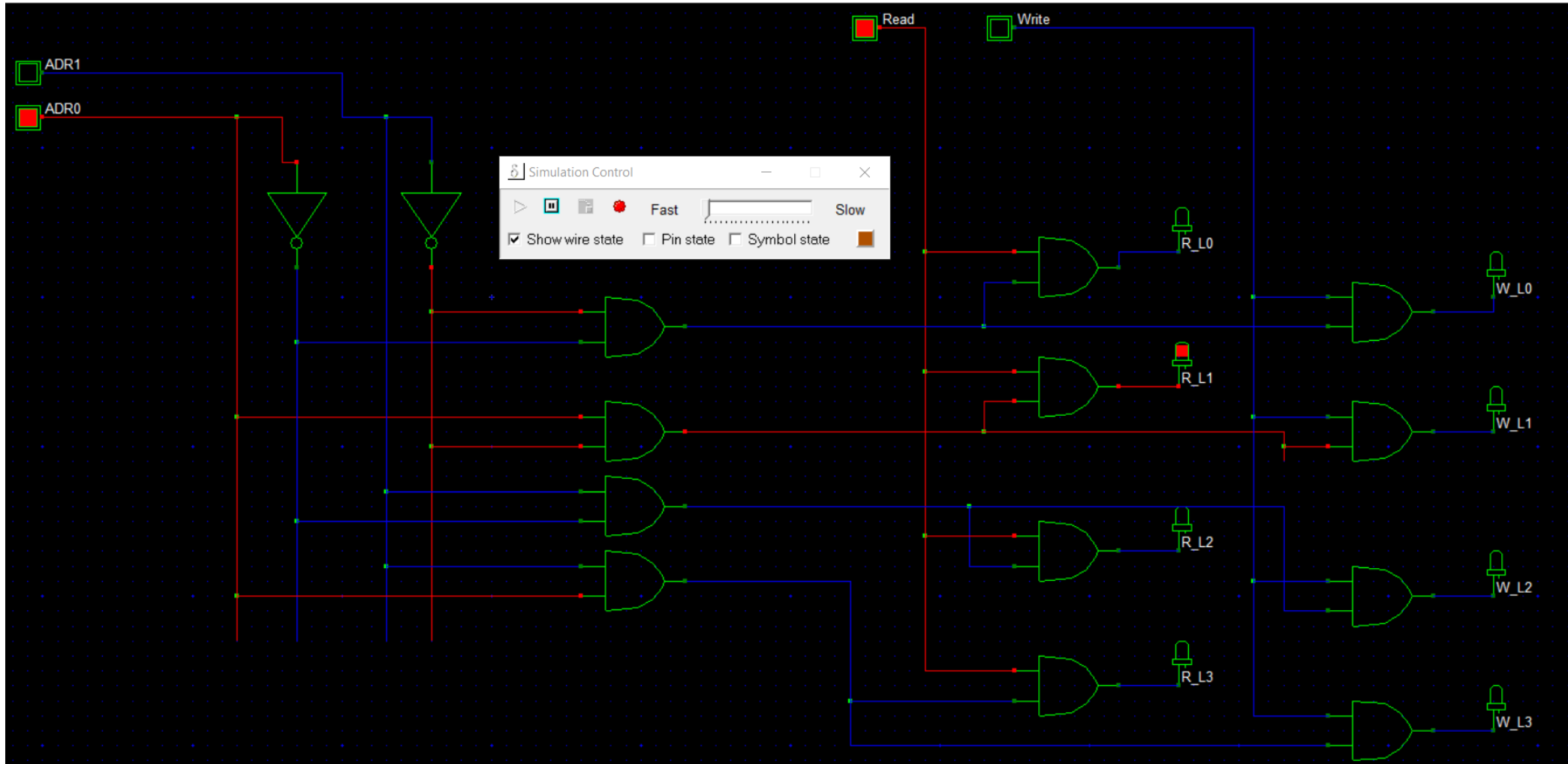
- Générer le circuit intégré du schéma précédent sous DSCH comme le montre la figure suivante et vérifier son fonctionnement



Chapitre 6: Conception des circuits mémoires

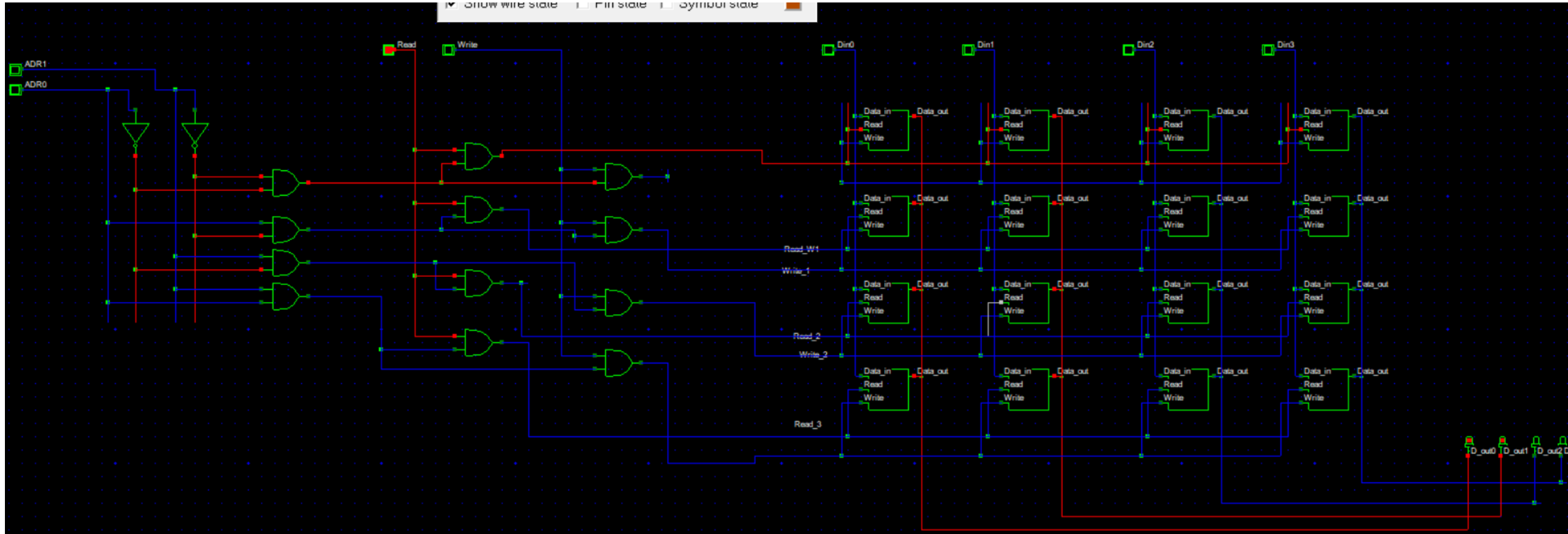
- Simulation d'une mémoire RAM de 4x4 Bits

- Réalisation du décodeur de lignes
- Simuler et vérifier le fonctionnement du décodeur et générer son symbole



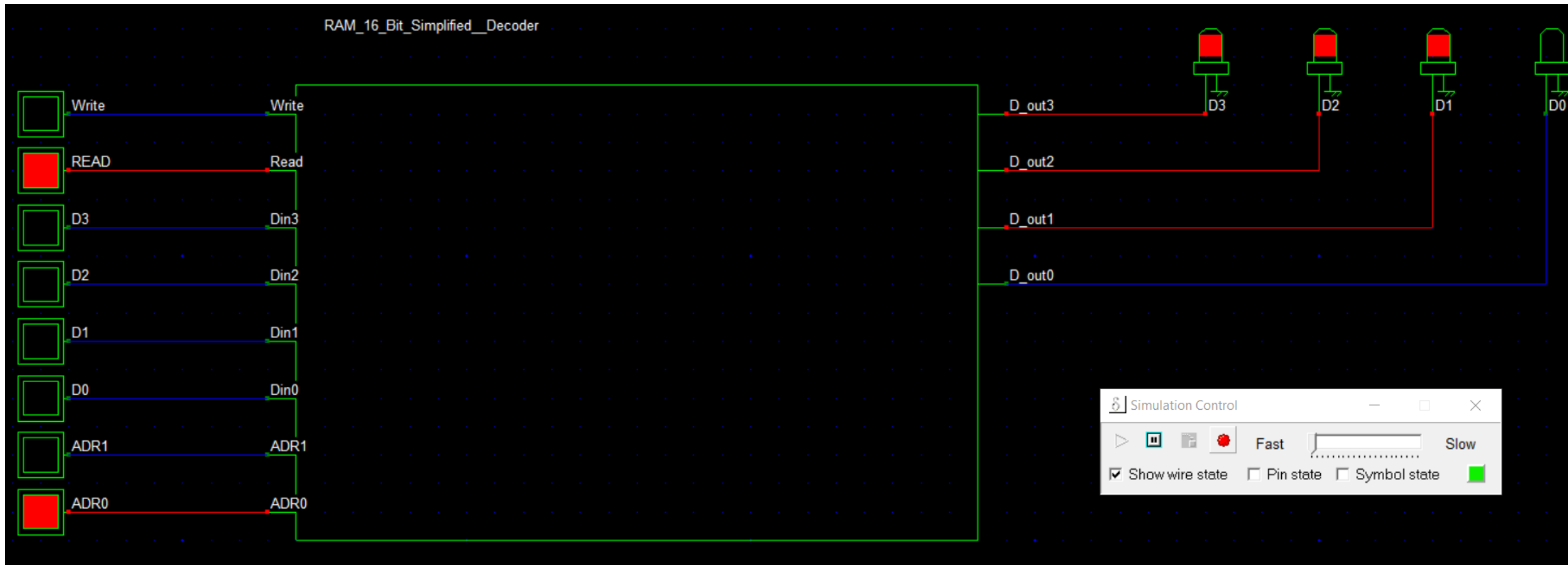
Chapitre 6: Conception des circuits mémoires

- Simulation d'une mémoire RAM de 4x4 Bits
- Combiner le décodeur et la mémoire et tester le fonctionnement de l'ensemble
- Test du fonctionnement du décodeur et de la mémoire



Chapitre 6: Conception des circuits mémoires

- Simulation d'une mémoire RAM de 4x4 Bits
- Générer le circuit intégré du schéma précédent sous DSCH comme le montre la figure suivante et vérifier son fonctionnement



Chapitre 6: Conception des circuits mémoires

- Simulation d'une mémoire RAM de 16Bits
- Générer le code verilog de la mémoire

The screenshot shows a Verilog code editor window titled "Verilog, Hierarchy and Netlist". The "Verilog" tab is selected. The code defines a module named "Complete_RAM_16_Bit" with inputs for address, write enable, data, and control signals, and outputs for word lines, bit lines, and data. It includes a list of wires and a series of logic gates (inverters, nmos, and not) implementing the RAM circuit.

```
// DSCH 3.5
// 12/9/2023 2:05:37 AM
// D:\6T\Complete_RAM_16_Bit.sch

module Complete_RAM_16_Bit( ADR_L0,ADR_L1,Write,Data_in,ADR_C1,ADR_C0,WL1,WL0,
WL2,WL3,bBL3,BL3,bBL2,BL2,bBL1,BL1,
bBL0,BL0,bData_out,Data_out);
input ADR_L0,ADR_L1,Write,Data_in,ADR_C1,ADR_C0;
output WL1,WL0,WL2,WL3,bBL3,BL3,bBL2,BL2;
output bBL1,BL1,bBL0,BL0,bData_out,Data_out;
wire w2,w3,w6,w8,w10,w14,w15,w18;
wire w19,w21,w22,w23,w24,w26,w27,w28;
wire w29,w30,w31,w32,w33,w35,w36,w37;
wire w38,w39,w40,w41,w42,w43,w44,w45;
wire w47,w49,w54,w55,w57,w59,w60,w61;
wire w62,w63,w64,w65,w66;
not #1 inv_1(w3,w2);
nmos #1 nmos_2(w6,BL3,WL0); // 0.3u 0.05u
nmos #1 nmos_3(w8,bBL3,WL0); // 0.3u 0.05u
not #1 inv_4(w8,w6);
not #1 inv_5(w2,w3);
not #1 inv_6(w6,w8);
nmos #1 nmos_7(w10,bBL2,WL0); // 0.3u 0.05u
nmos #1 nmos_8(w2,BL0,WL3); // 0.3u 0.05u
nmos #1 nmos_9(w3,bBL0,WL3); // 0.3u 0.05u
not #1 inv_10(w15,w14);
not #1 inv_11(w14,w15);
nmos #1 nmos_12(w14,BL1,WL3); // 0.3u 0.05u
nmos #1 nmos_13(w15,bBL1,WL3); // 0.3u 0.05u
not #1 inv_14(w19,w18);
not #1 inv_15(w18,w19);
nmos #1 nmos_16(w18,BL2,WL3); // 0.3u 0.05u
nmos #1 nmos_17(w19,bBL2,WL3); // 0.3u 0.05u
not #1 inv_18(w22,w21);
not #1 inv_19(w21,w22);
```

The right panel shows the "Information" tab with the following details:

- Module name (8 char. max): Complete_RAM_
- ☒ Add gate delay info
- ☒ Append simul. informations
- ☐ Add labels as comments
- The Verilog file has 125 lines
- The design includes 111 symbols
- The circuit has 66 nodes

The "Misc." section includes:

- Time scale: 1.00
- Max clocks: 16

Buttons at the bottom right: "Update Verilog", "Extract circuit", and a green checkmark "OK".

Chapitre 6: Conception des circuits mémoires

- **Simulation d'une mémoire ROM 32Bits**
- **Compiler le code Verilog et générer le dessin de masque comme le montre la figure suivante**
- **Appliquer des signaux aux entrées du dessin et visualiser les sorties**
- **Vérifier le fonctionnement de la mémoire**

