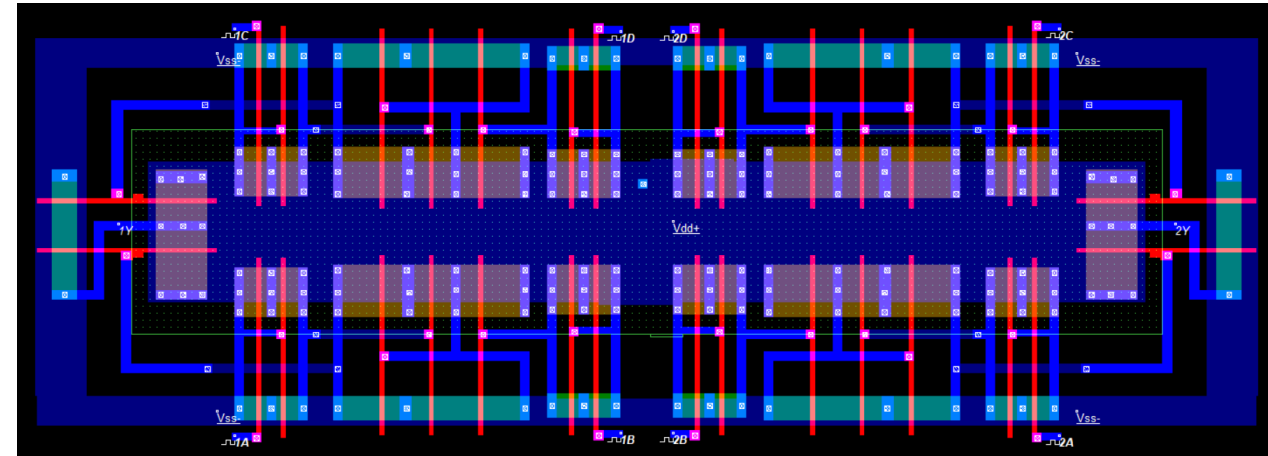
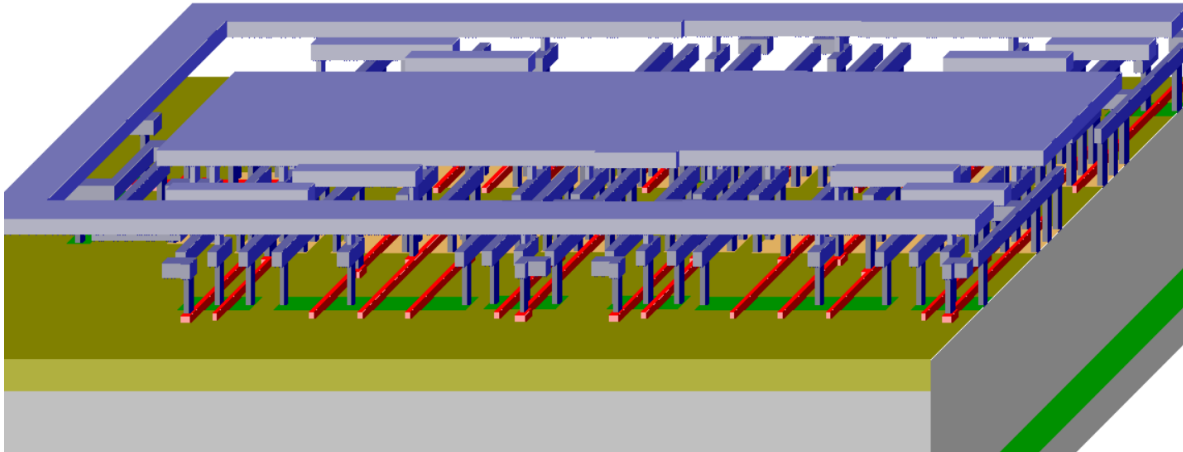


Microélectronique et conception et conception des systèmes électroniques



Chapitre 5: Conception des portes logiques de base

Chapitre 5: Conception des éléments de base

Symboles et descriptions des éléments de bases des systèmes combinatoires

La table ci-contre illustre les noms, symboles et équations logiques des différentes portes logiques utilisées dans la conception des circuits combinatoires

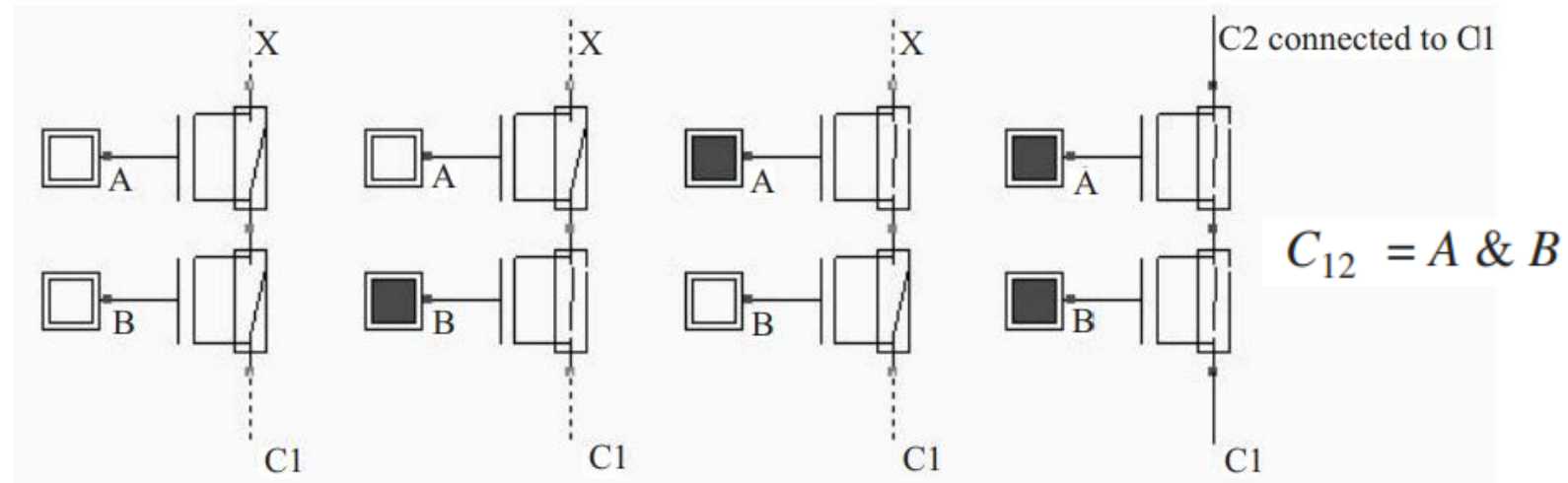
- Le $\sim$ indique une inversion
- Le $\&$ indique une opération ET
- Le $|$ indique une opération OU
- Le $\wedge$ indique une opération OU EXCLUSIVE

Name	Logic symbol	Logic equation
INVERTER		$\text{Out} = \sim \text{in};$
AND		$\text{Out} = a \& b;$
NAND		$\text{Out} = \sim (a \& b);$
OR		$\text{Out} = (a b);$
NOR		$\text{Out} = \sim (a b);$
XOR		$\text{Out} = a \wedge b;$
XNOR		$\text{Out} = \sim (a \wedge b);$

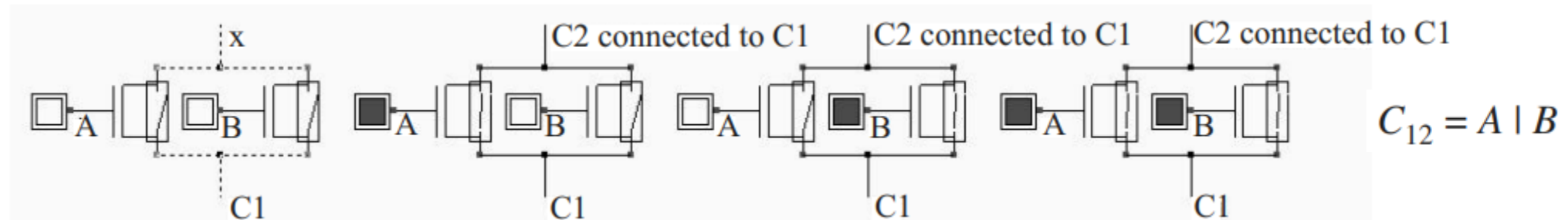
Chapitre 5: Conception des éléments de base

Symboles et descriptions des éléments de bases des systèmes combinatoires à base de transistor NMOS

- La construction des portes logiques de base est basée sur les transistors MOS. Si deux **NMOS** sont connectés en série alors l'entrée sera reliée à la sortie si les grilles des deux NMOS sont à 1



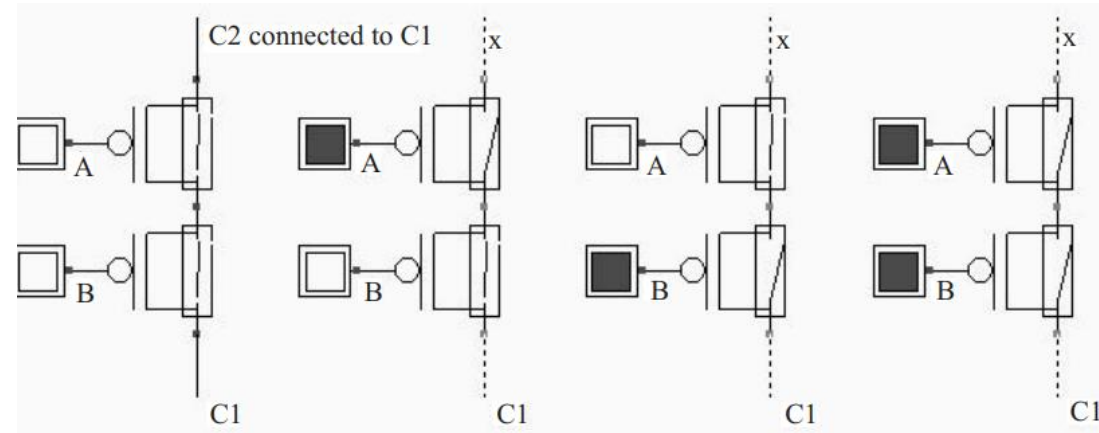
- De-même, si deux NMOS sont connectés en parallèles alors la sortie sera reliée à l'entrée si au moins une des grilles est à 1



Chapitre 5: Conception des éléments de base

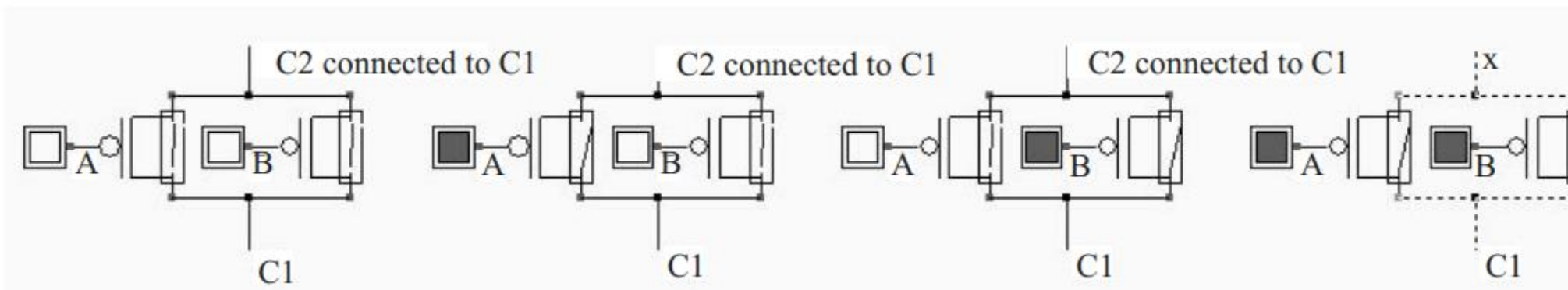
Symboles et descriptions des éléments de bases des systèmes combinatoires à base de transistor PMOS

- Deux PMOS connectés en série se comportent comme une porte **AND** pour la logique **négative** ou bien comme une porte **NOR**



$$C_{12} = \overline{A} \& \overline{B}$$

- De-même, si deux PMOS sont connectés en parallèles alors la sortie sera reliée à l'entrée si au moins une des grilles est à 0. c'est la fonction **NAND**

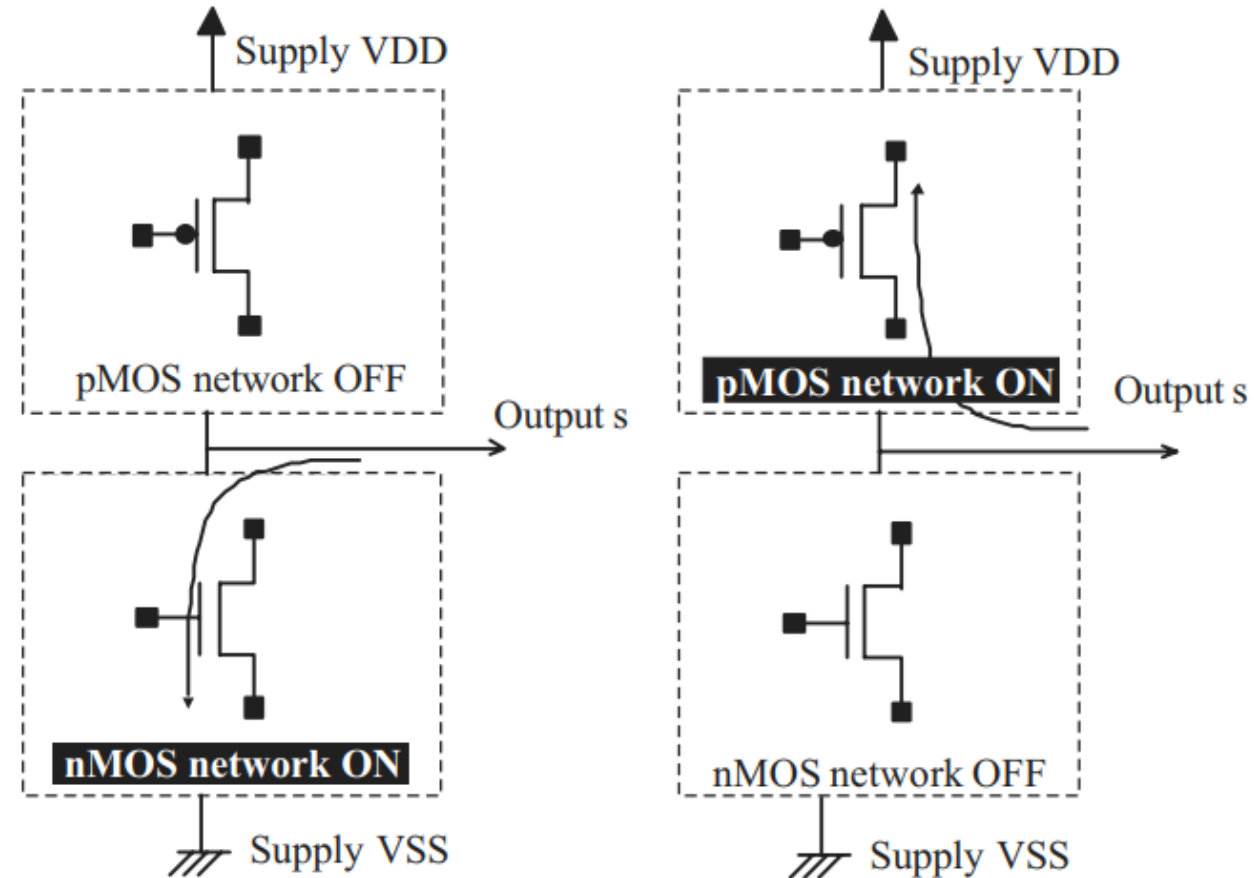


$$C_{12} = \overline{A} \mid \overline{B}$$

Chapitre 5: Conception des éléments de base

Les portes logique de type CMOS

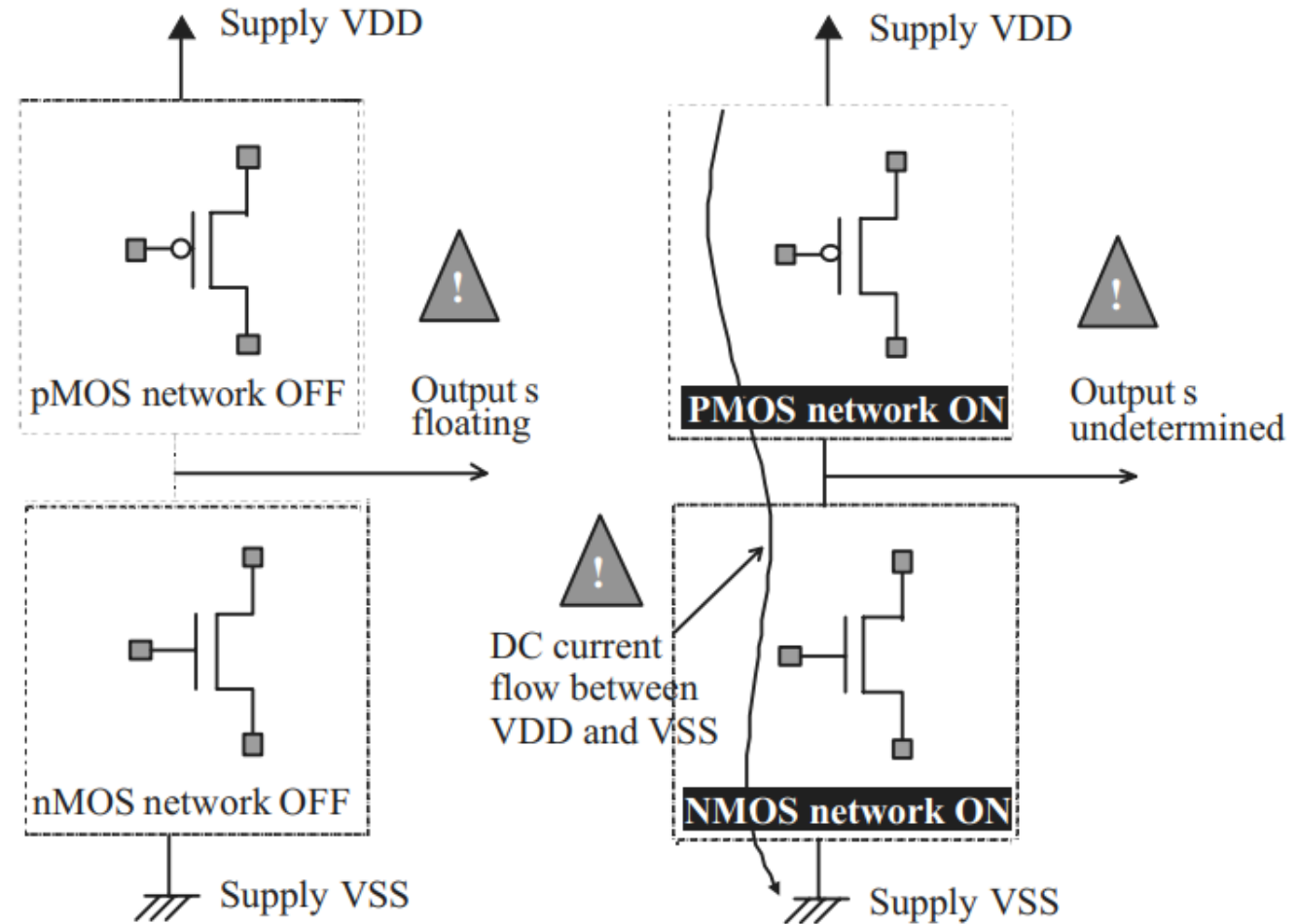
- La structure de base des portes CMOS est basée sur des transistors de types NMOS et PMOS.
- À noter que le PMOS se comporte comme un switch idéal pour la logique 1 et que le NMOS se comporte comme un switch idéal pour la logique 0.
- La structure de base est souvent réalisée en se basant sur deux réseaux de type PMOS souvent connecté à la tension VDD et de type NMOS souvent connecté à la masse.
- Quand le réseau PMOS est ON alors la sortie est reliée à la tension VDD
- Quand le réseau NMOS est ON alors la sortie est reliée à la masse



Chapitre 5: Conception des éléments de base

Les portes logique de type CMOS

- À noter que les deux situations suivantes doivent être évitées lors de la conception:
- Il ne faut pas avoir des combinaison où les deux réseaux PMOS et NMOS sont OFF à la fois car dans ce cas la tension de sortie est flottante
- De-même, il faut éviter les situations où les deux réseaux sont ON à la fois, car dans ce cas une résistance de faible valeur se forme entre la source de tension VDD et la masse ce qui engendre un courant important (de court-circuit) et finalement détruit le circuit

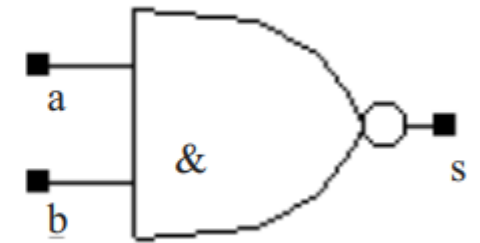


Chapitre 5: Conception des éléments de base

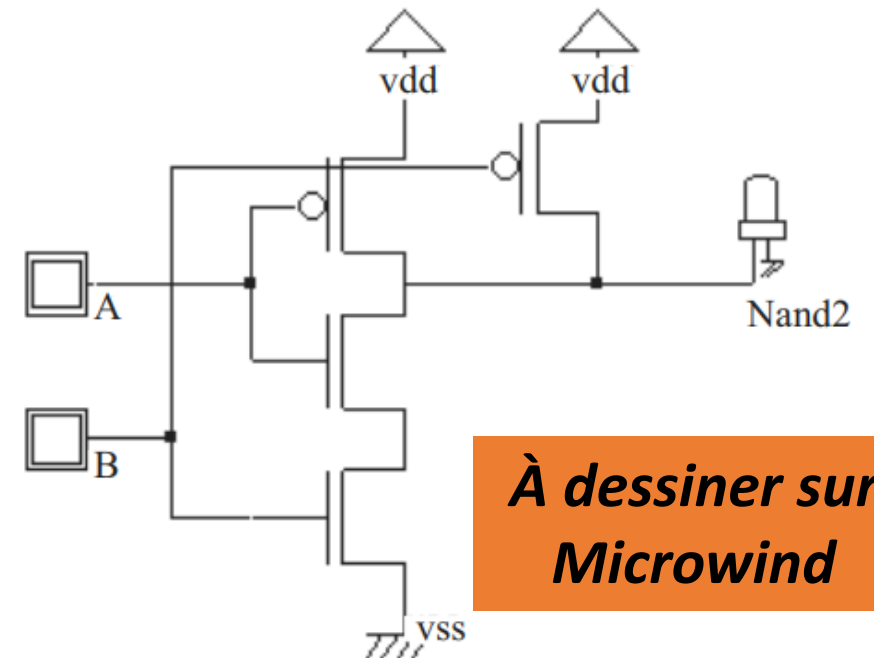
La porte logique NAND

- Le symbole ainsi que la table de vérité de la fonction NAND sont illustrés dans la figure ci-contre
- Le niveau logique 0 correspond à un 0V
- Le niveau logique 1 correspond à $V_{DD} = 1.2V$ (0.12 μm)
- Le niveau logique X est inconnu ou considéré comme une haute impédance
- La porte NAND est implémentée en utilisant quatre transistor: 2 PMOS et 2 NMOS.
- Les deux types de transistors sont utilisés dans leurs configurations optimales (NMOS vers Vss et PMOS vers Vdd)

A	B	Out
0	0	1
0	1	1
1	0	1
1	1	0
X	0	1
X	1	X
0	X	1
1	X	X



NAND

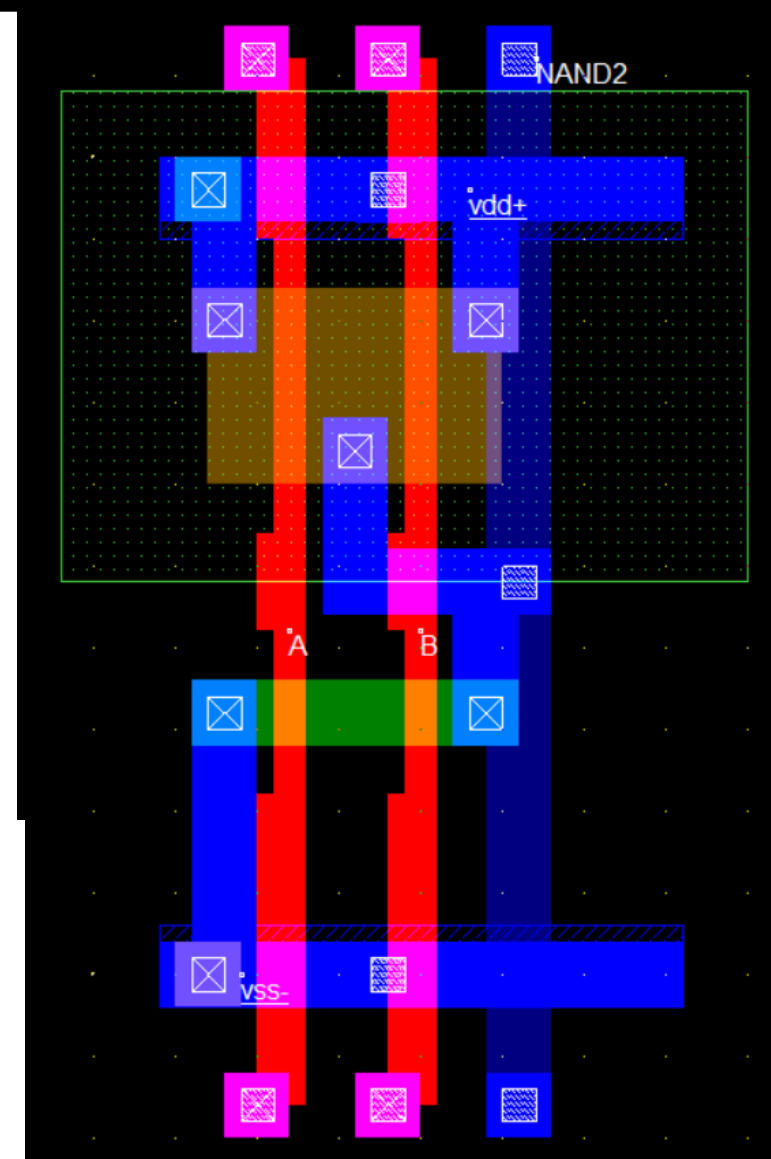
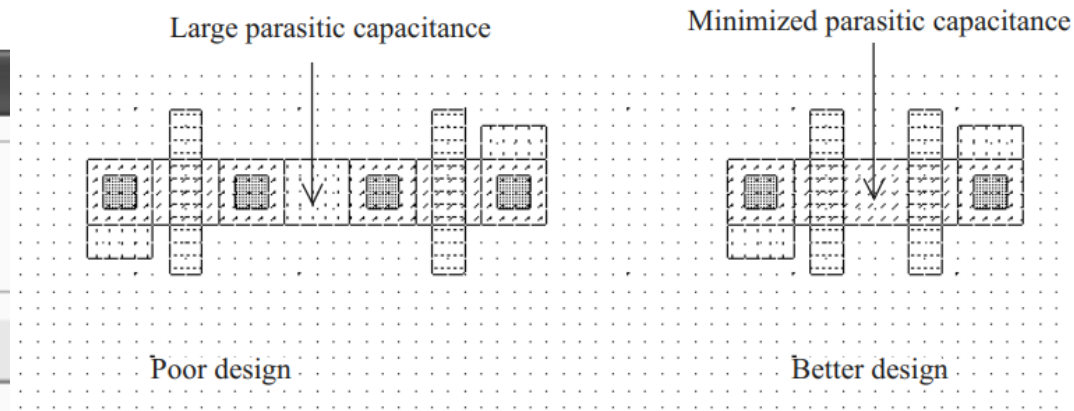
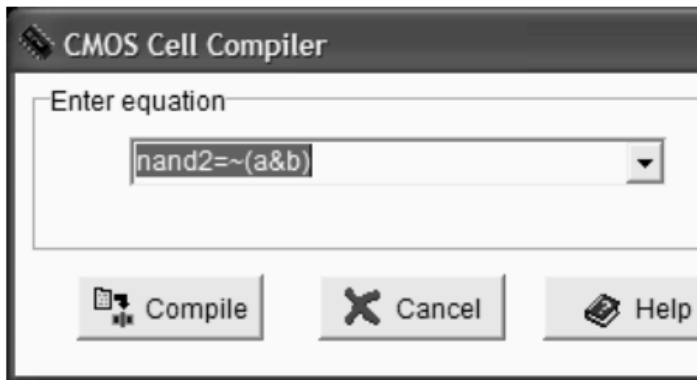
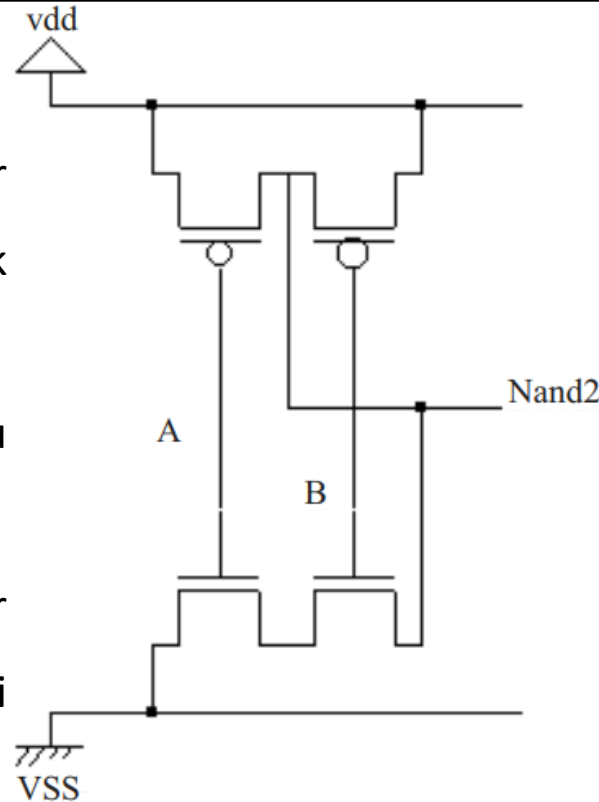


**À dessiner sur
Microwind**

Chapitre 5: Conception des éléments de base

La porte logique NAND

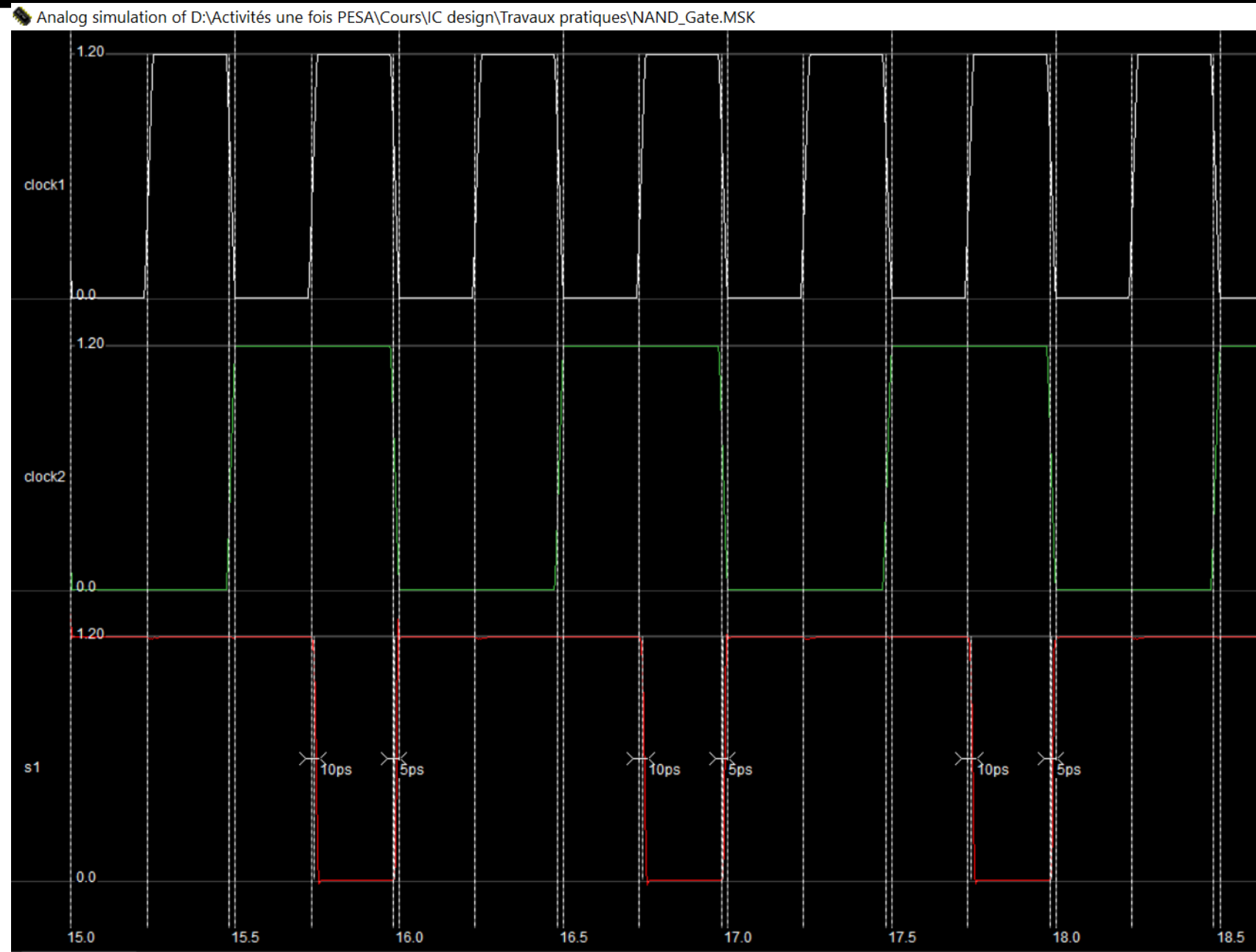
- Le logiciel MICROWIND inclut un compilateur permettant de générer le dessin de mask correspondant à la fonction NAND
- Le compilateur génère le dessin correspondant au schéma ci-contre pour optimiser le dessin
- Les deux types NMOS et PMOS sont arrangés pour qu'ils partagent la même zone de diffusion ce qui permet un dessin compact et un gain en surface



Chapitre 5: Conception des éléments de base

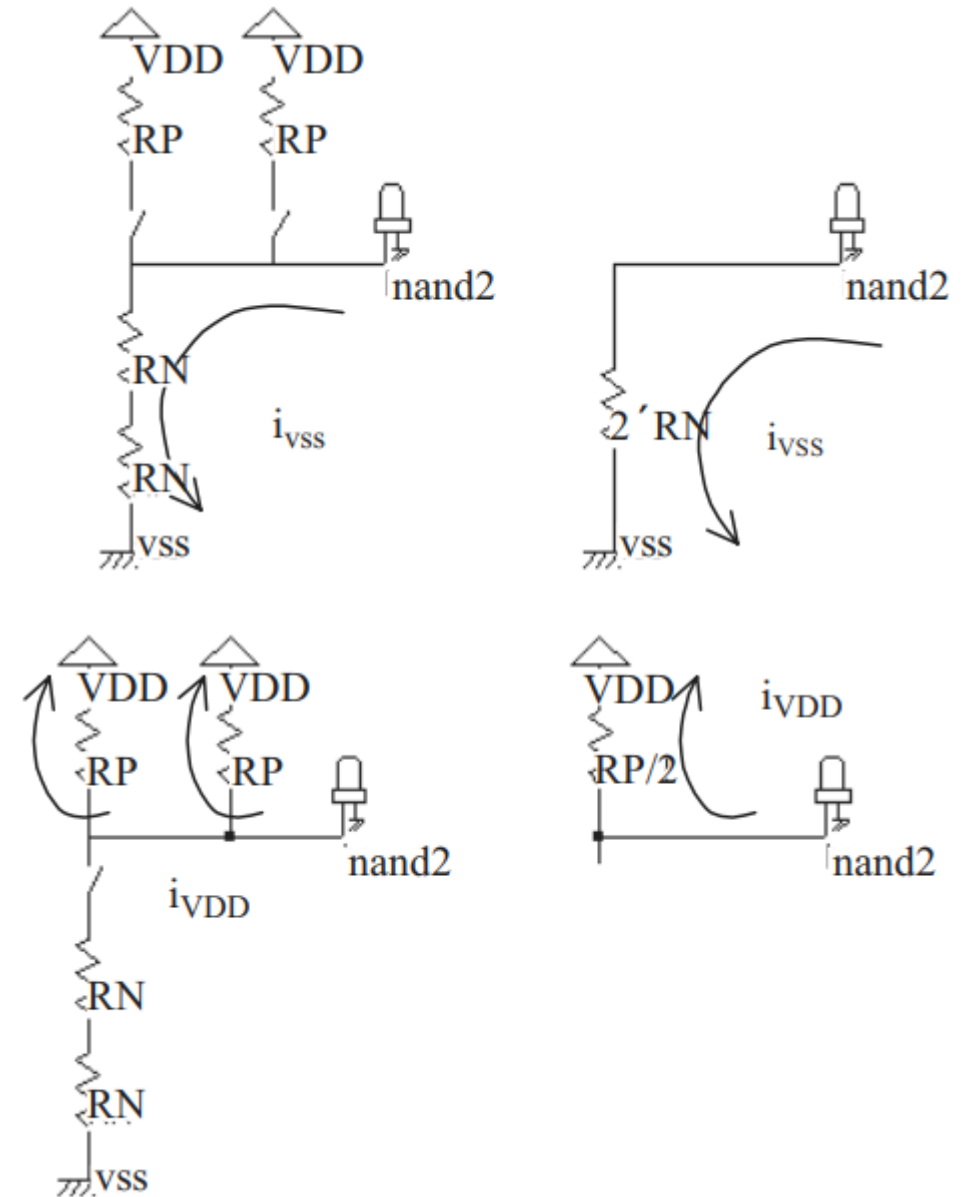
La porte logique NAND

- L'évolution de la tension de sortie en fonction du temps est illustrée dans la figure suivante
- On peut remarquer que le temps de montée et celui de la décente ne sont pas égaux.
- La raison est due à la structure asymétrique de la porte NAND
- En effet nous avons deux transistors PMOS en parallèle et deux NMOS en série.



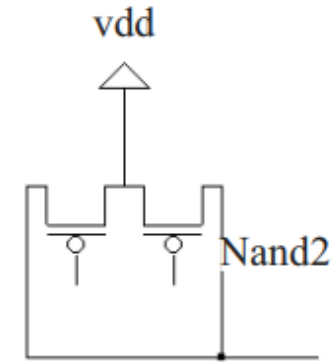
Chapitre 5: Conception des éléments de base

- Quand les deux entrées sont à l'état logique 1 alors les deux NMOS sont ON et la sortie se décharge à travers une résistance de $RT=2R_n$ ce qui engendre un temps de descente de 10ps
- De-même, quand les deux entrées sont à l'état logique 0 alors la sortie se charge à travers une résistance $RT = R_p/2$ ce qui engendre un temps de montée de 5ps.

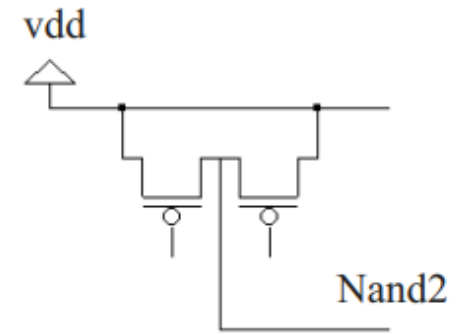


Chapitre 5: Conception des éléments de base

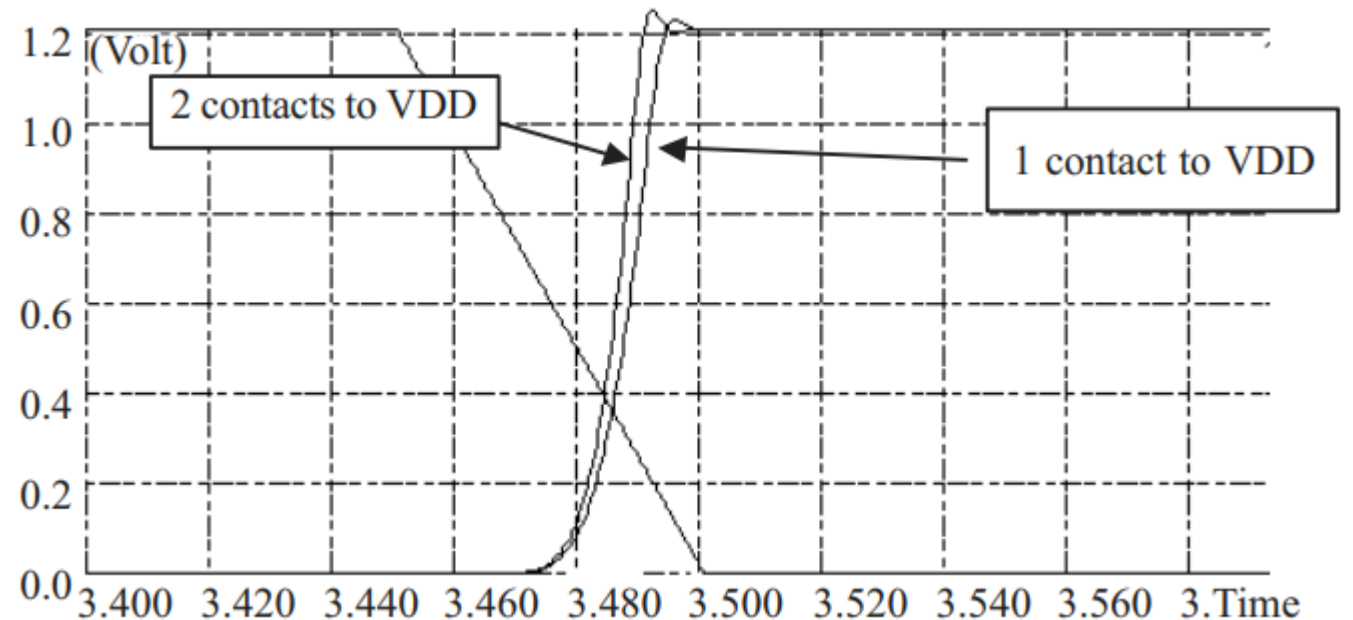
- Placement optimale des transistors
- Les deux solutions présentées dans la figures ci-contre fonctionnent bien mais la solution de droite est la meilleure
- Pour la solution de droite nous avons deux contacts métalliques vers la source de tension Vdd. Alors le courant provenant de la source aura deux chemins et une résistance faible
- Pour la solution de la gauche, un seul contact existe entre la source Vdd et le drain commun des deux PMOS alors le courant aura un seul chemin
- La solution de droite permet alors de minimiser le temps de montée (t_r)



Poor solution: heavy load on Nand2

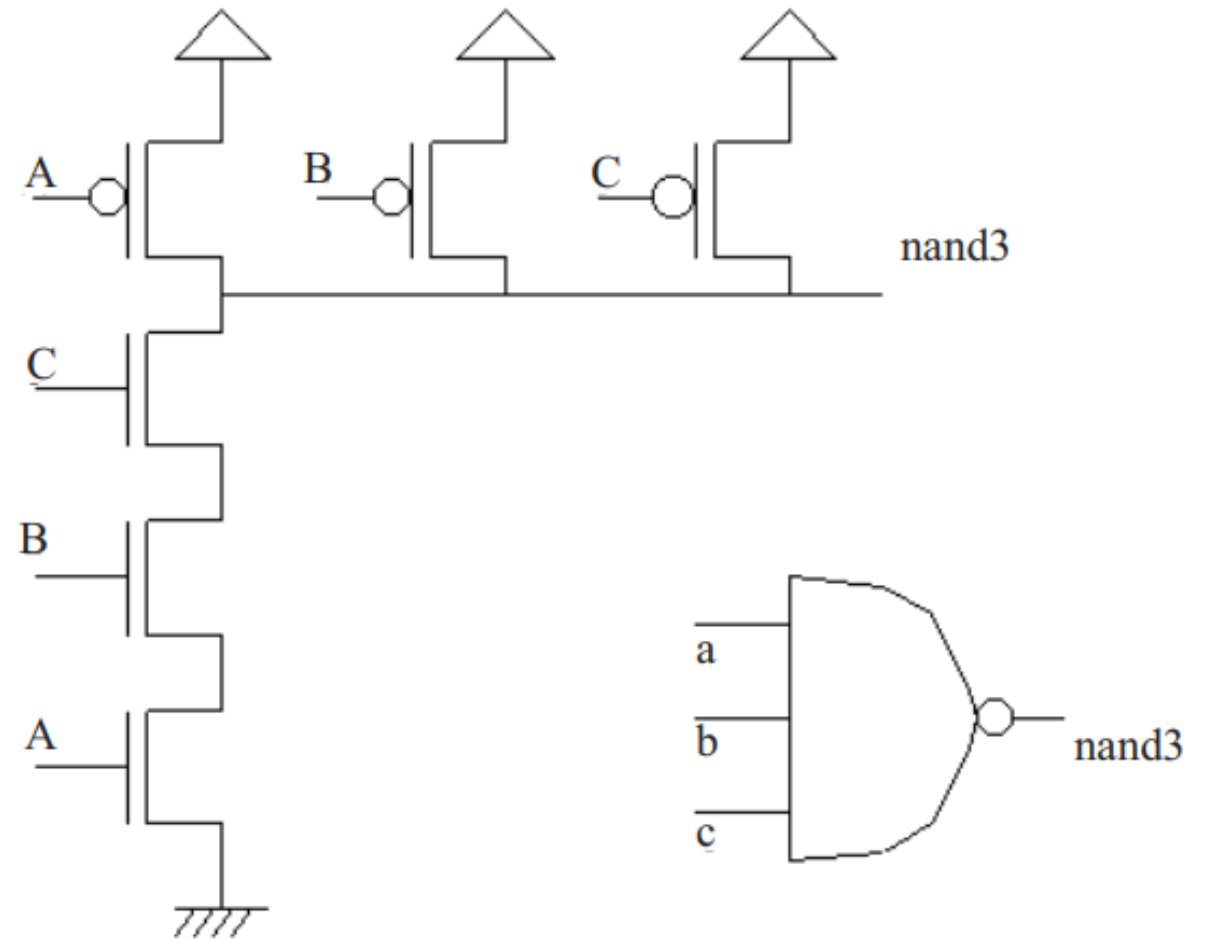


Good solution

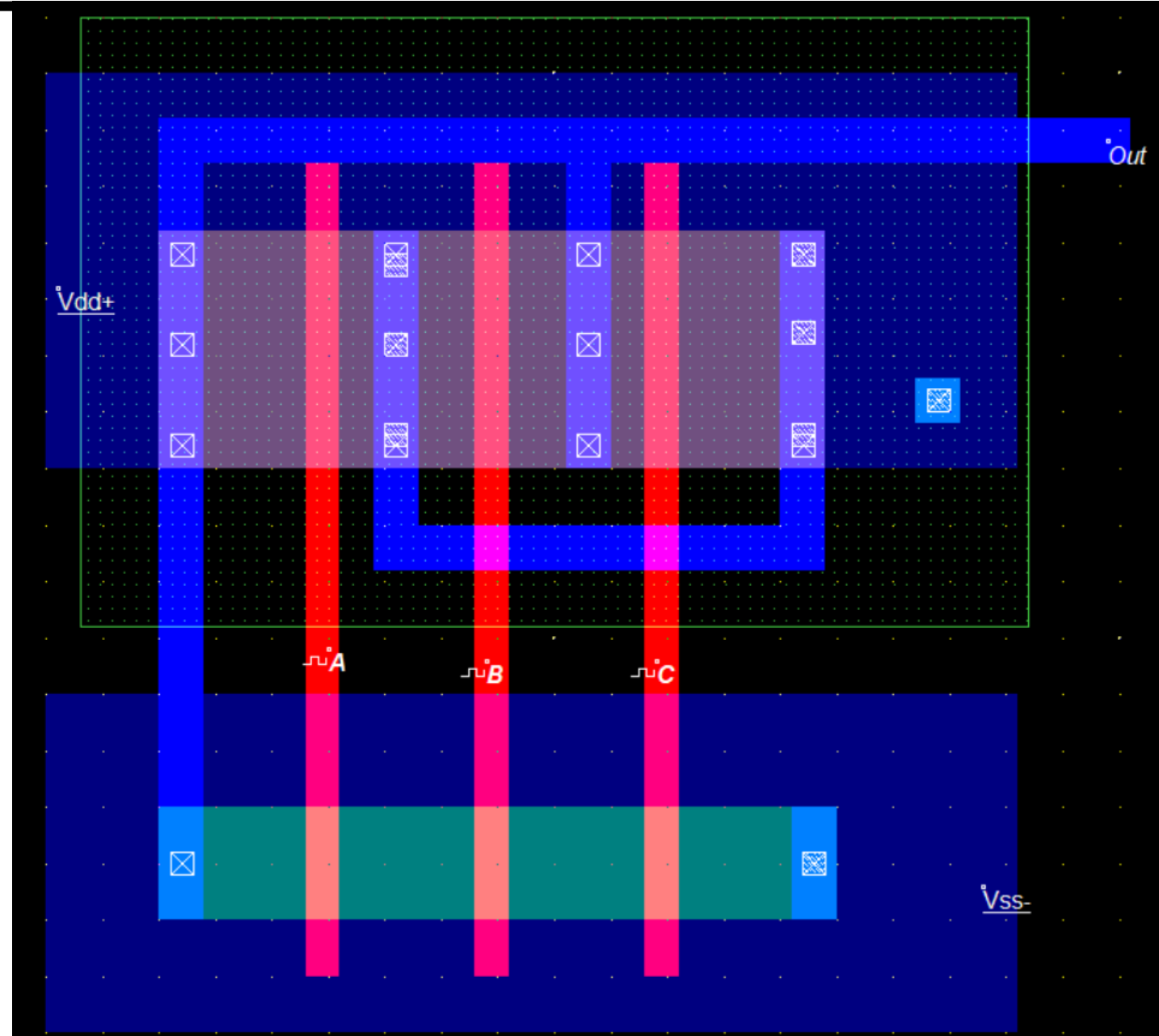
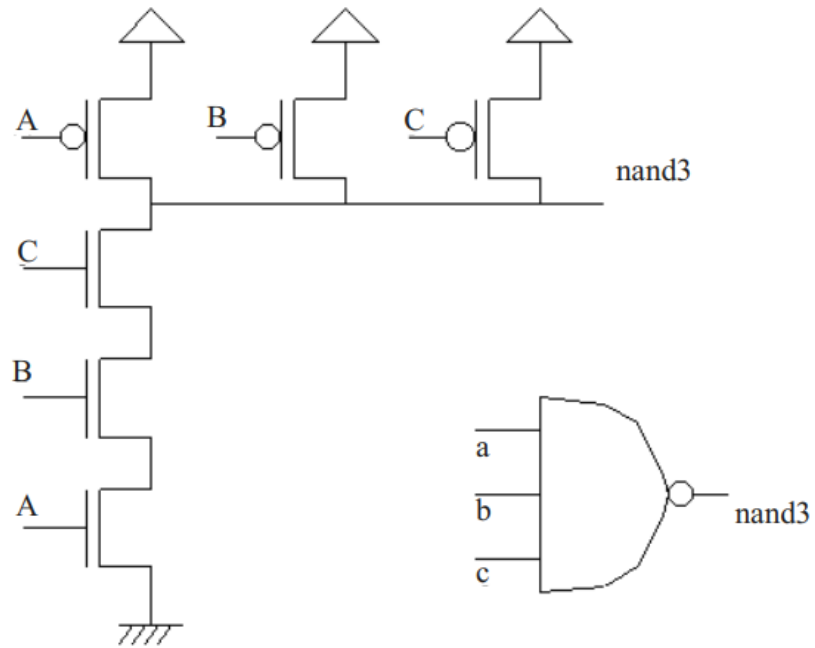


Chapitre 5: Conception des éléments de base

- La porte NAND à trois entrées
- La porte NAND à trois entrées peut être déduite de celle à 2 entrées
- On connecte trois PMOS en parallèle et trois NMOS en série

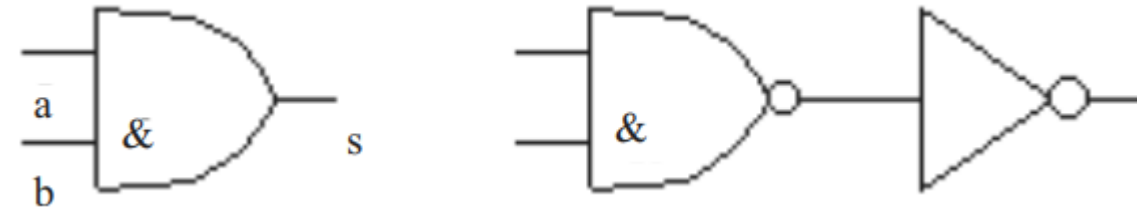
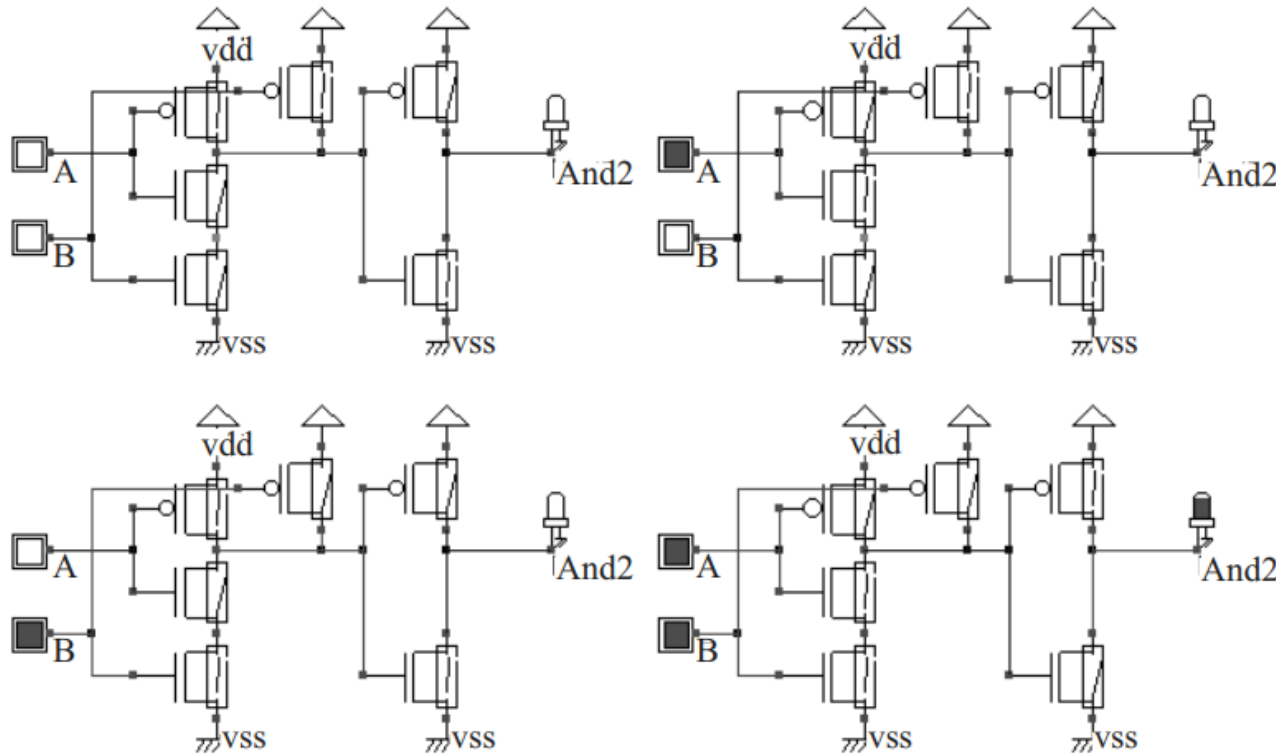


Chapitre 5: Conception des éléments de base



Chapitre 5: Conception des éléments de base

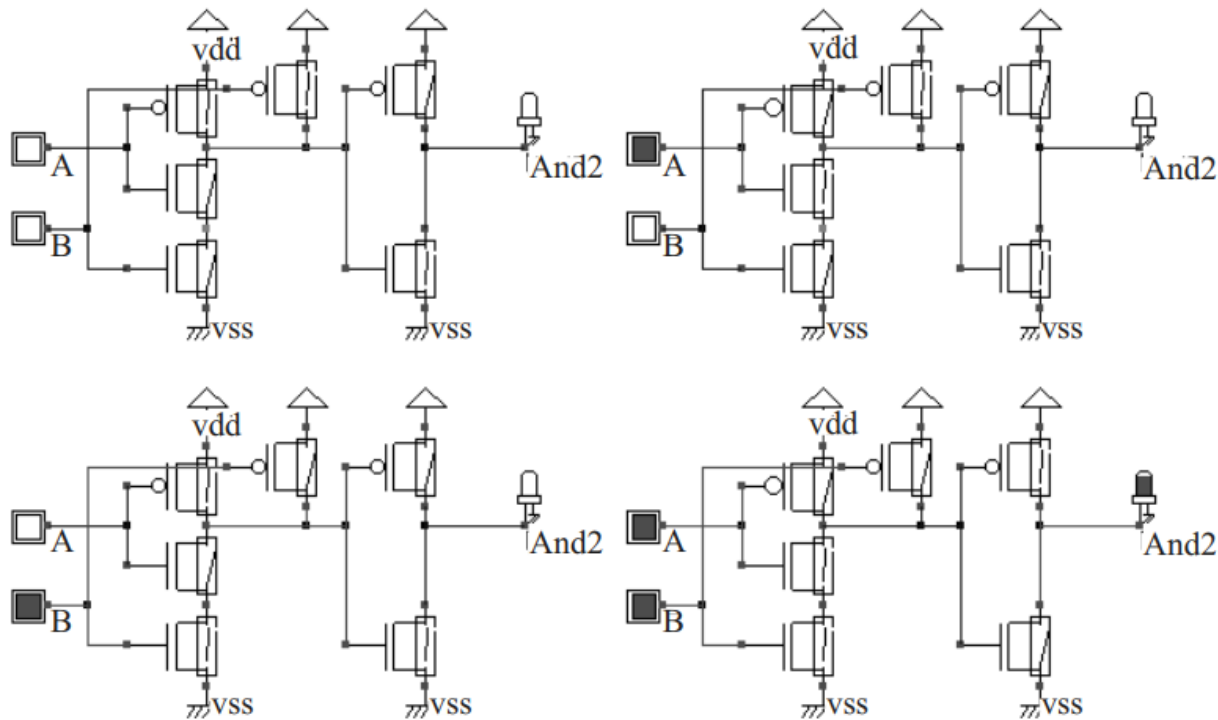
- La porte AND à deux entrées
- La porte AND à deux entrées peut être réalisée à partir d'une porte NAND en ajoutant un inverseur à la sortie



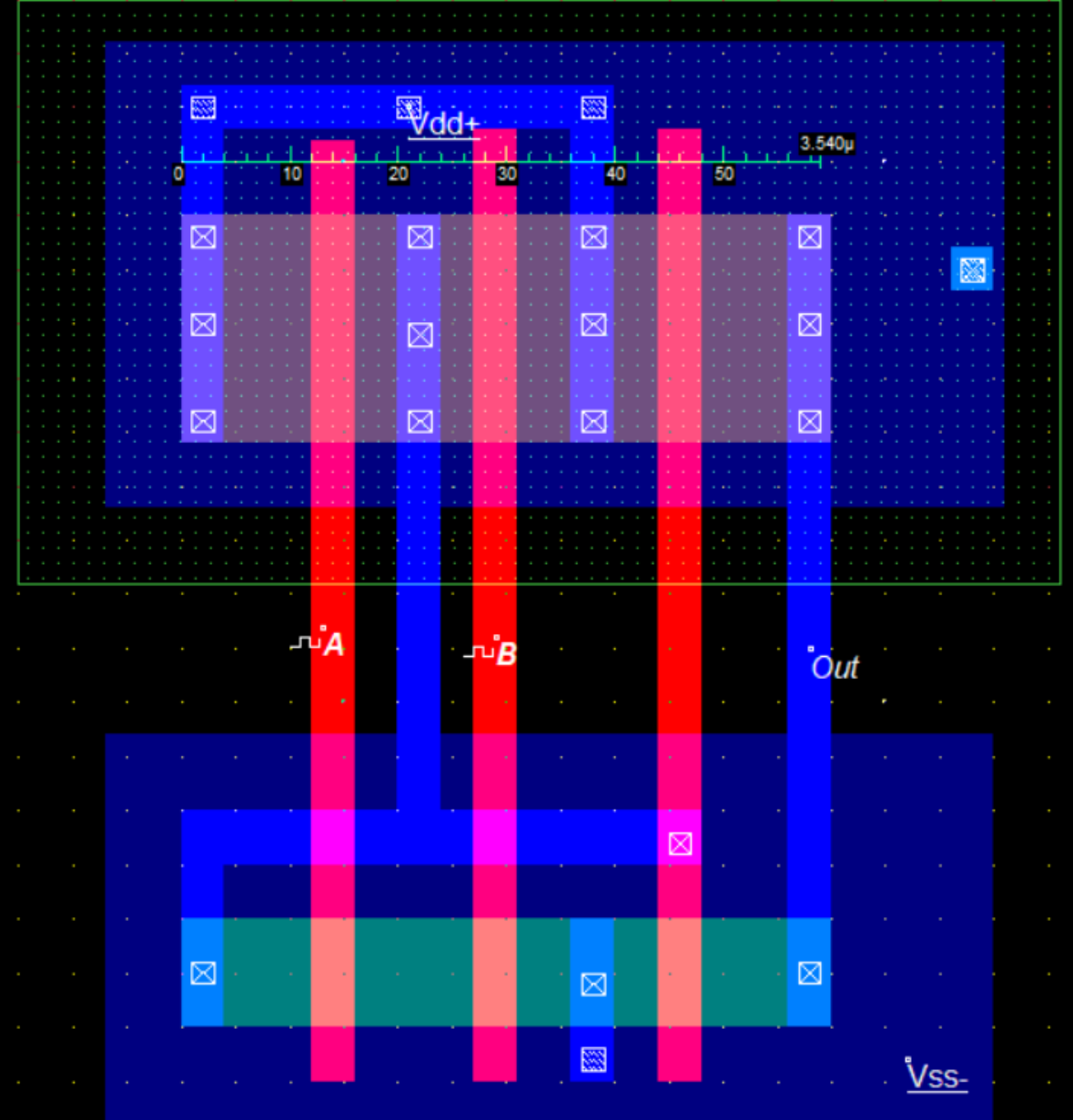
A	B	AND2
0	0	0
0	1	0
1	0	0
1	1	1
X	0	0
X	1	X
0	X	0
1	X	X

Chapitre 5: Conception des éléments de base

- La porte AND à deux entrées
- La porte AND à deux entrées peut être réalisée à partir d'une porte NAND en ajoutant un inverseur à la sortie

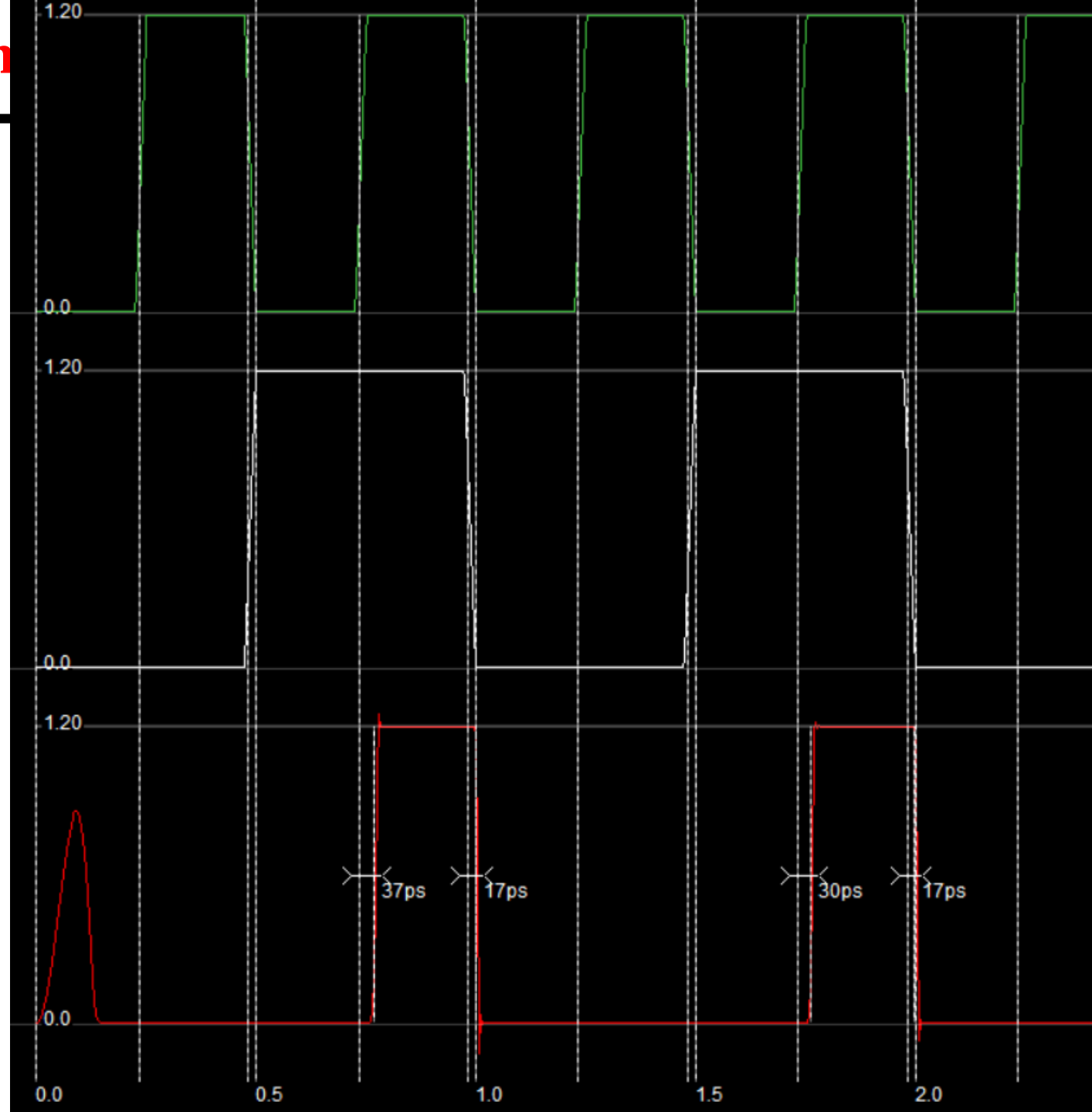


01-12-24



Chapitre 5: Con

- Le graphique en rouge représente la sortie de la porte AND à deux entrées
- On peut clairement voir que la sortie est à l'état 1 quand les deux entrées sont à 1. la sortie revient à zéro si au moins une des entrées est à l'état logique bas.



Chapitre 5: Conception des éléments de base

- **CONCEPTION DU CIRCUIT TI CDx4HC20 Dual 4-Input NAND Gates**

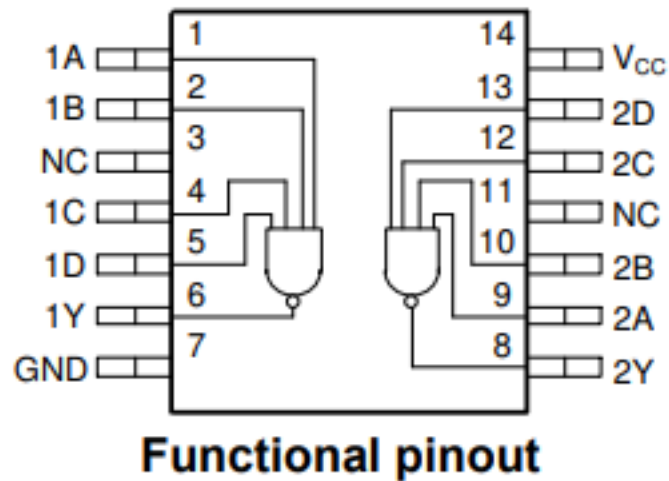


Table 8-1. Function Table

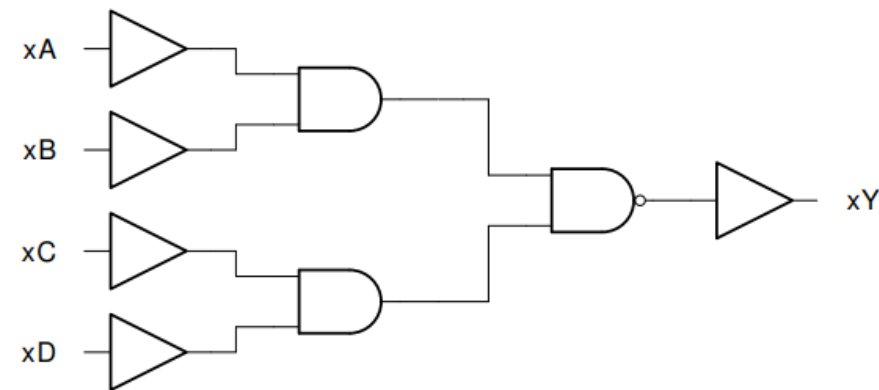
INPUTS				OUTPUT
A	B	C	D	Y
H	H	H	H	L
L	X	X	X	H
X	L	X	X	H
X	X	L	X	H
X	X	X	L	H

8 Detailed Description

8.1 Overview

This device contains two independent 4-input NAND gates. Each gate performs the Boolean function $Y = \overline{A \bullet B \bullet C \bullet D}$ in positive logic.

8.2 Functional Block Diagram



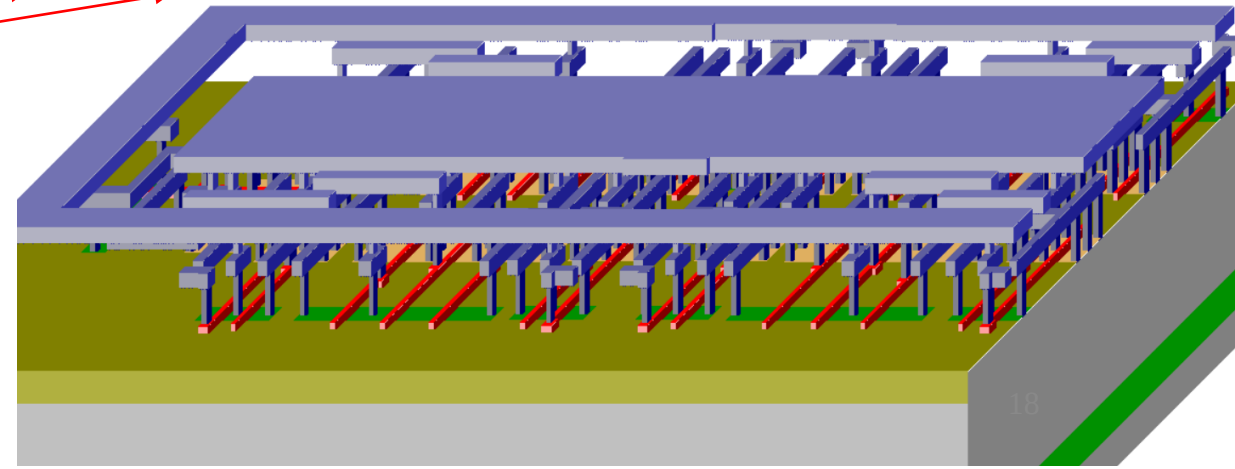
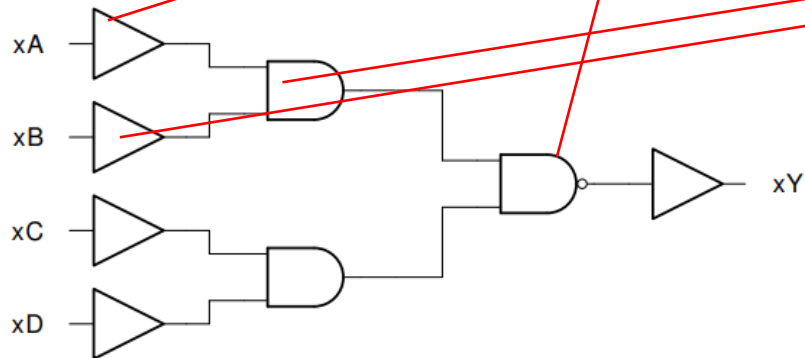
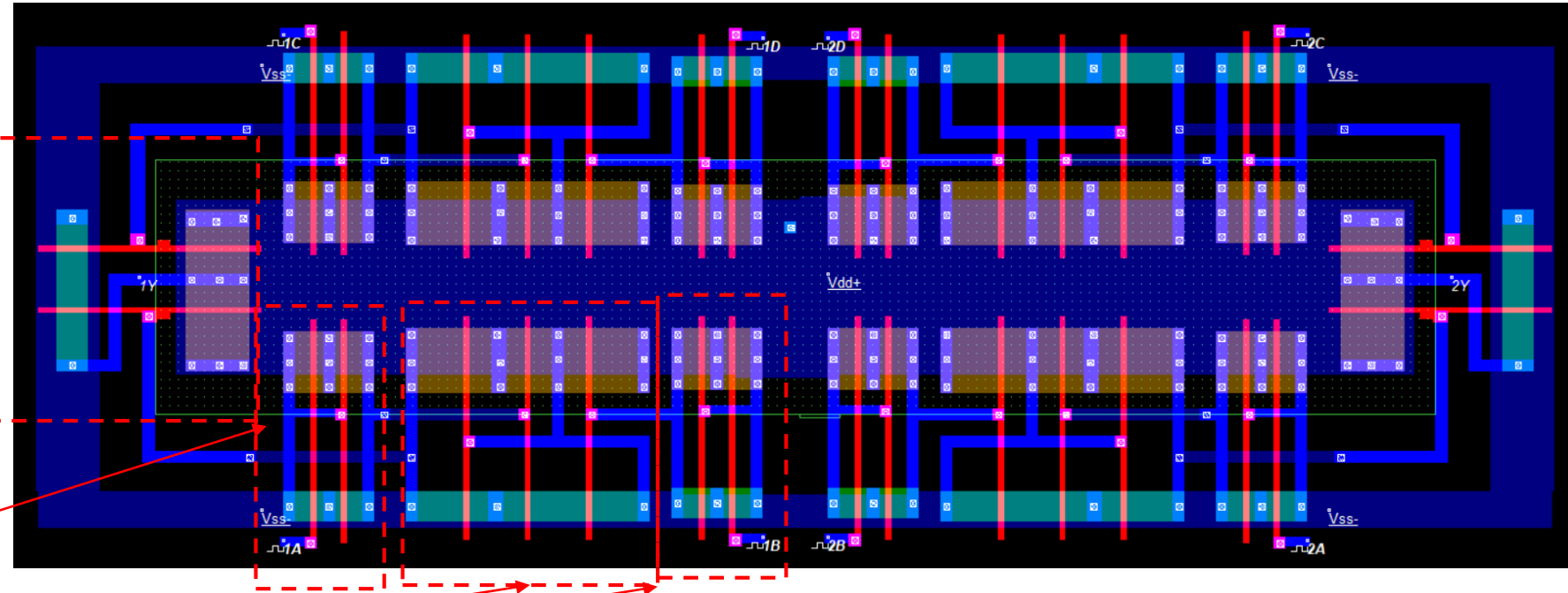
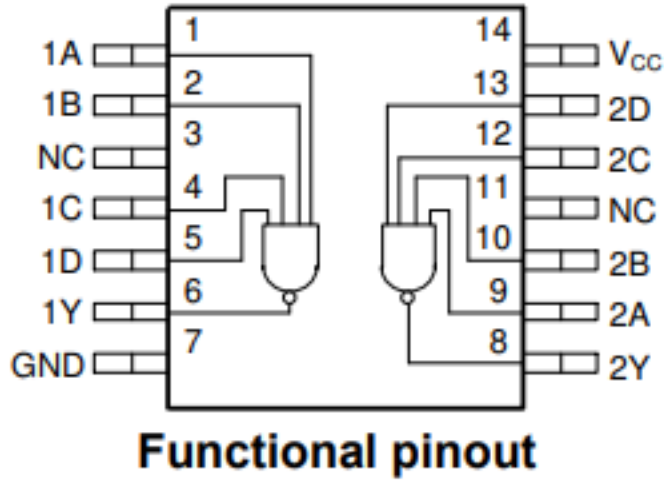
8.3 Feature Description

8.3.1 Balanced CMOS Push-Pull Outputs

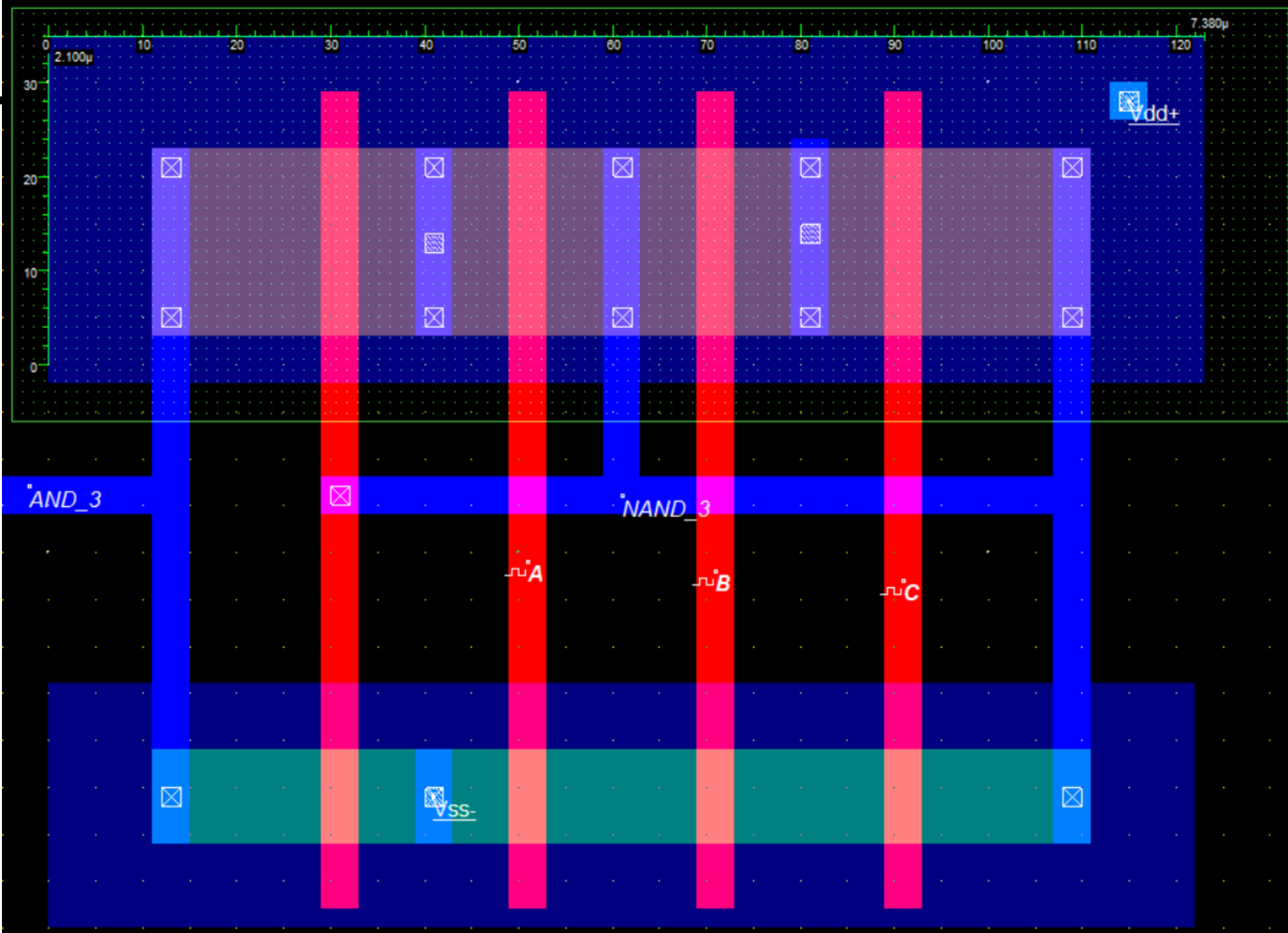
A balanced output allows the device to sink and source similar currents. The drive capability of this device may create fast edges into light loads so routing and load conditions should be considered to prevent ringing. Additionally, the outputs of this device are capable of driving larger currents than the device can sustain without being damaged. It is important for the output power of the device to be limited to avoid damage due to over-current. The electrical and thermal limits defined in the [Section 6.1](#) must be followed at all times.

Chapitre 5: Conception des éléments de base

- CONCEPTION DU CIRCUIT TI CDx4HC20 Dual 4-Input NAND Gates

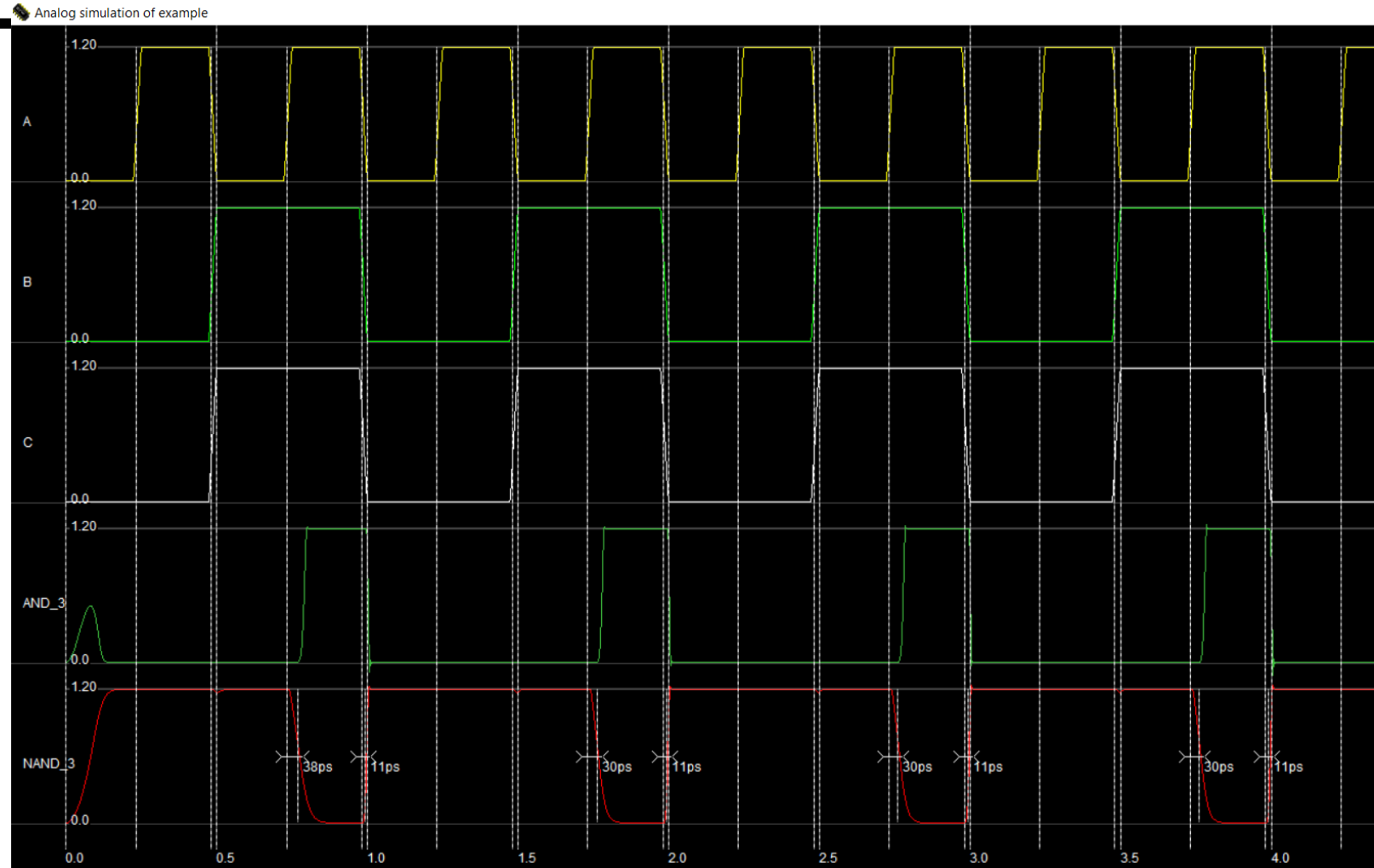


- Dessin de masque de la Porte AND à trois entrées



Chapitre 5: Conception des éléments de base

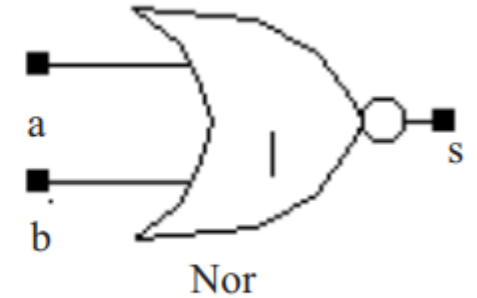
- Porte AND à trois entrées
- Pour expliquer la différence entre les temps de montés et de descente de la porte AND à trois entrées, on peut visualiser le signal (NAND_3) au niveau de l'inverseur de sortie.
- Quand les trois entrées sont à 1 alors la sortie est connectée à la masse à travers trois NMOS en série (une résistance de $3 \times R_n$) ce qui engendre un temps de descente élevée.
- Quand les trois entrées sont à 0 alors la sortie NAND_3 est connectée à Vdd à travers trois PMOS en parallèles (une résistance de $R_p/3$). Ce qui engendre un temps de monté faible.
- Le signal NAND_3 est maintenant appliqué à l'entrée d'un inverseur pour avoir une sortie de type AND_3, ce qui inverse la situation et engendre un temps de monté à peut près 3 fois supérieur à celui de descente.



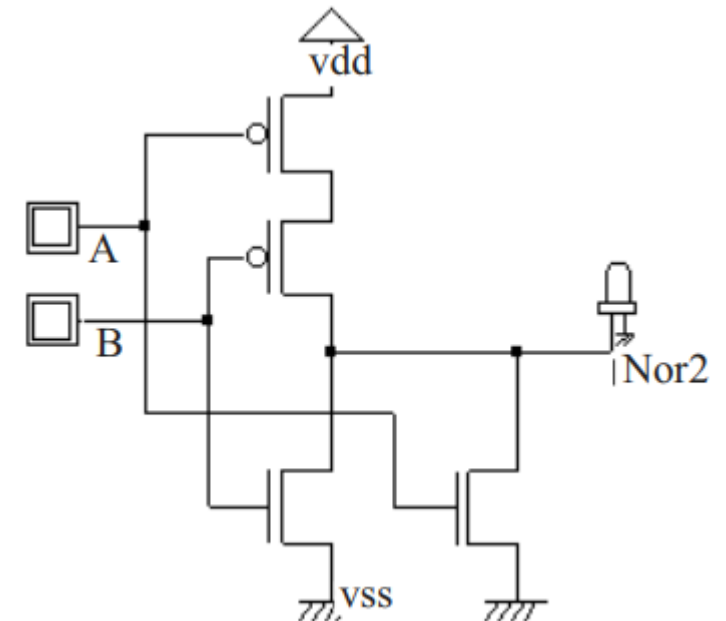
Chapitre 5: Conception des éléments de base

- La porte NOR à deux entrées
- La table de vérité et le symbole de la porte NOR sont illustrés dans la figure ci-contre
- La porte NOR est constituée de deux transistors PMOS en série qui sont connectés vers la source Vdd
- Et deux NMOS en parallèle qui force la sortie vers Vss à chaque fois qu'une des entrées et à l'état logique 1

A	B	Out
0	0	1
0	1	0
1	0	0
1	1	0
X	0	X
X	1	0
0	X	X
1	X	0

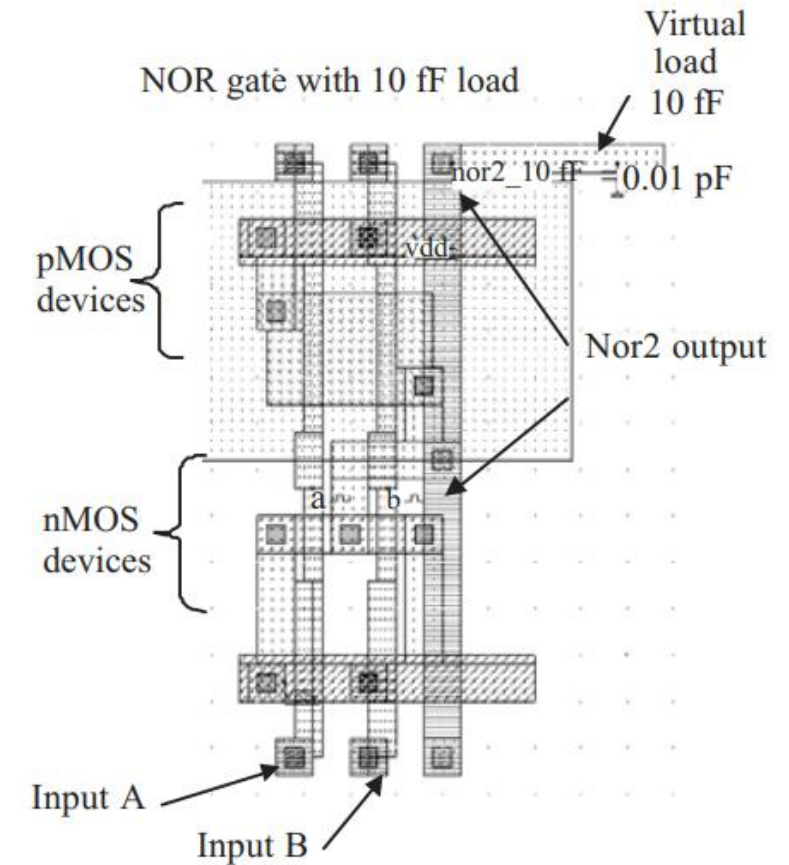
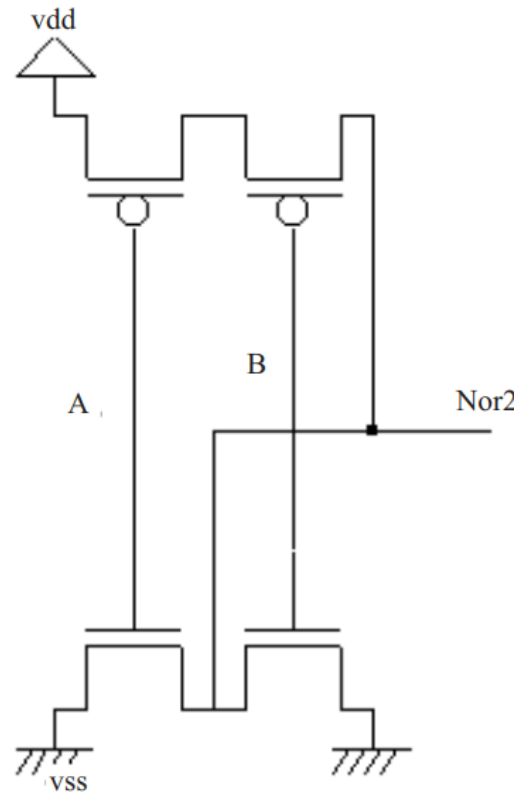
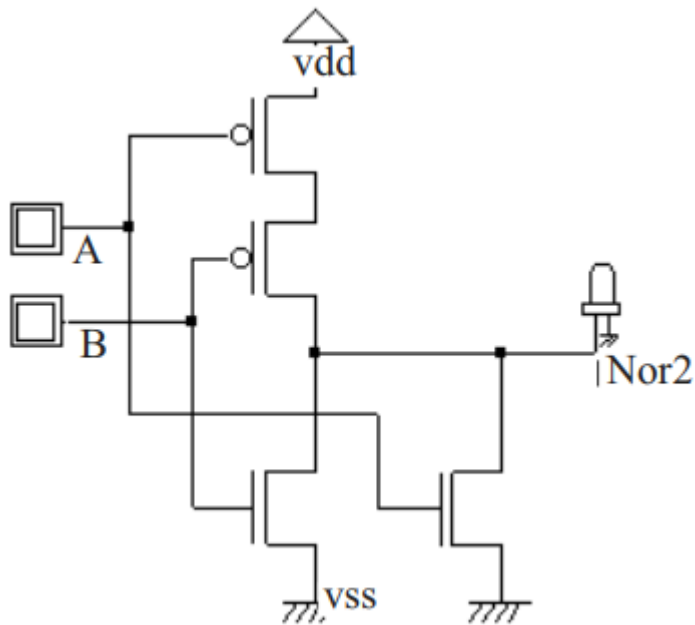


A	B	nMOS	pMOS	Out
0	0	off	on	1
0	1	on	off	0
1	0	on	off	0
1	1	on	off	0



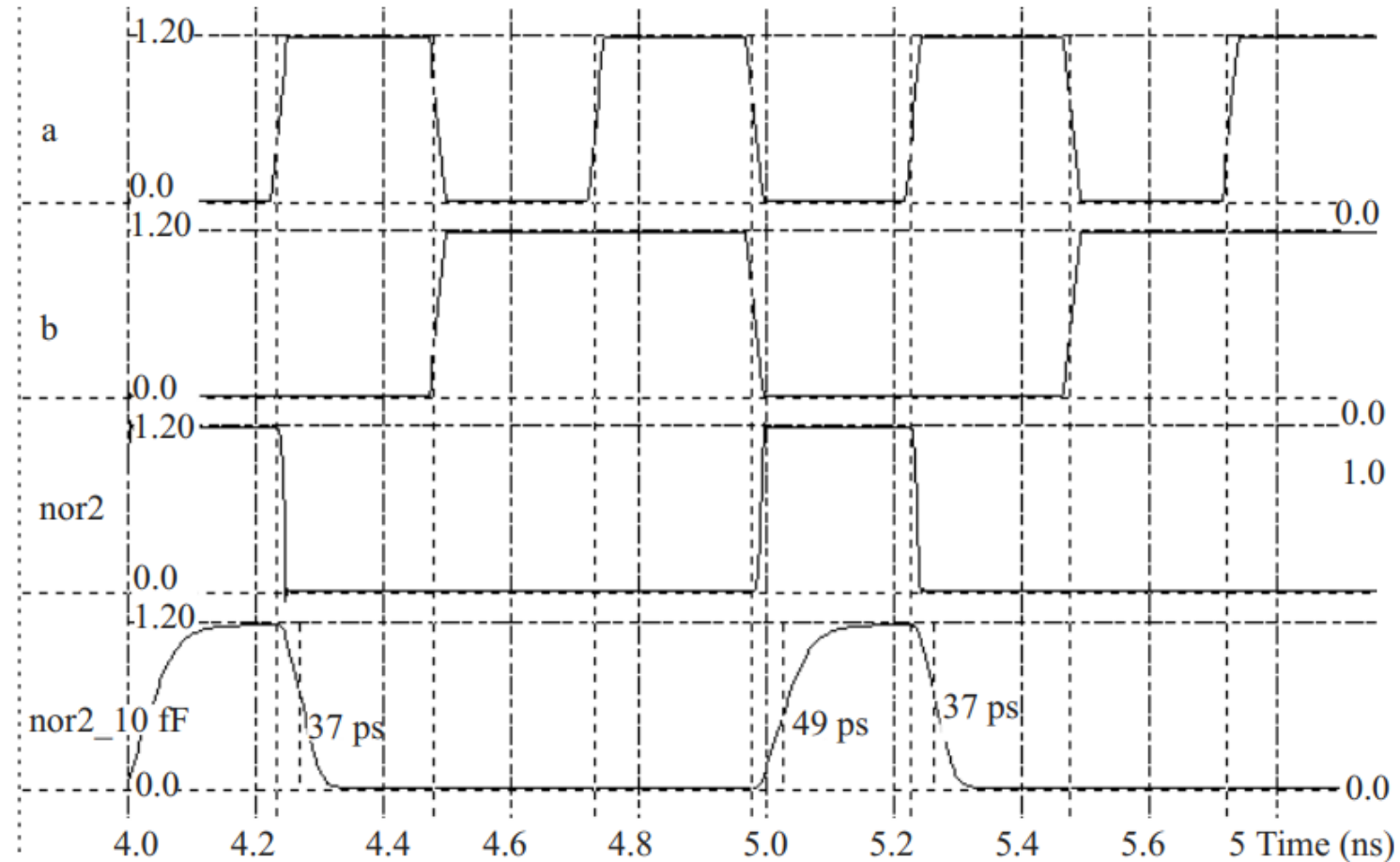
Chapitre 5: Conception des éléments de base

- La porte NOR à deux entrées
- Afin d'optimiser le dessin, on peut réarranger les PMOS et les NMOS de tels sortes à ce qu'ils partagent la même zone de diffusion



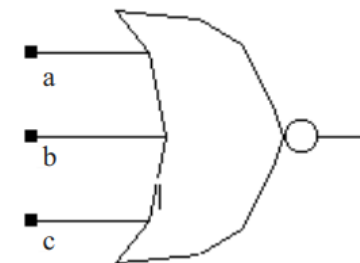
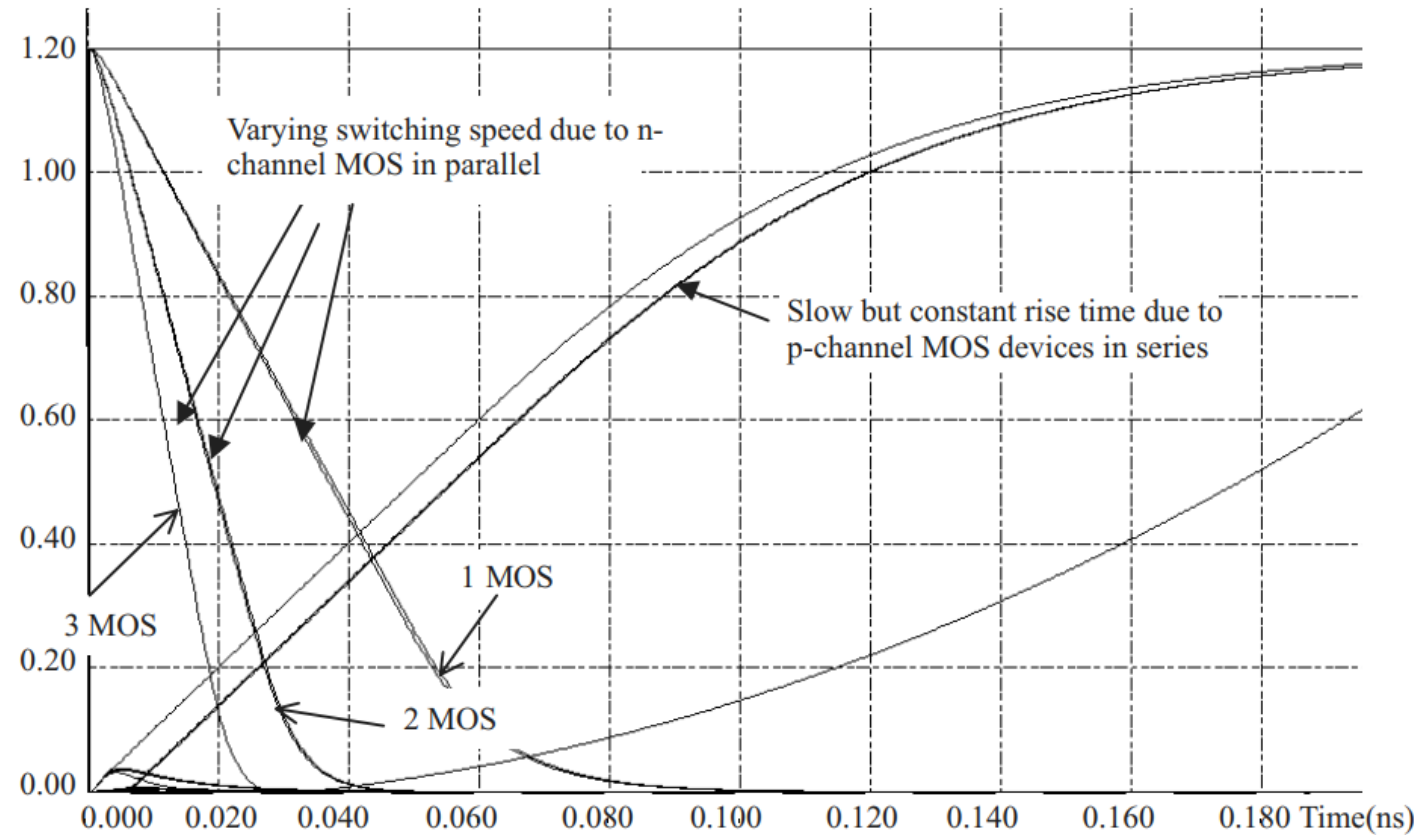
Chapitre 5: Conception des éléments de base

- La porte NOR à deux entrées
- Les graphiques ci-contre montrent la simulation de la porte NOR avec et sans une charge virtuelle de 10fF
- On peut voir que le temps de montée T_r et le temps de descente sans beaucoup influencés par la charge capacitive
- De plus, le temps de montée est grand par rapport au temps de descente à cause des deux PMOS qui sont placés en série entre la sortie et la source Vdd



Chapitre 5: Conception des éléments de base

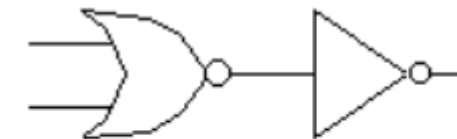
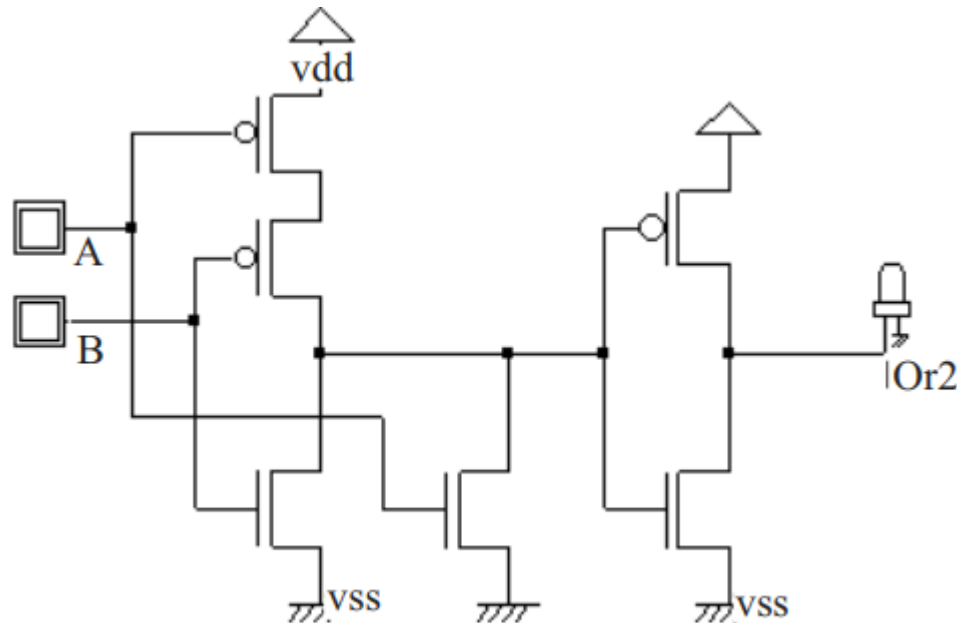
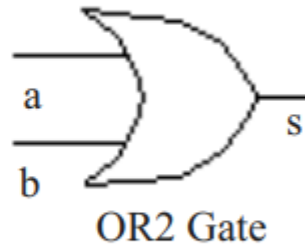
- La porte NOR à trois entrées
- La porte NOR à trois entrées peut être déduite à partir de la porte NOR à deux entrées
- Il est à noter que cette porte est très peu utilisée en pratique à cause de la structure asymétrique des transistors PMOS et NMOS
- Les trois PMOS placés en série avec la source Vdd engendrent un chemin très lent pour le courant de charge I_{dd} à cause de la faible mobilité des trous
- Les trois NMOS placés en parallèle entre la sortie et la masse V_{ss} engendrent un chemin très rapide pour le courant de décharge I_{ss}
- On aura donc un temps de descente très faible par rapport au temps de montée ($T_r \gg T_f$)
- En général, on préfère les portes NAND à cause de la structure des PMOS placés en parallèle avec V_{dd} ce qui compense la faible mobilité des trous



Chapitre 5: Conception des éléments de base

- La porte OR à deux entrées
- La porte OR à deux entrées peut être déduite à partir de la porte NOR à deux entrées en ajoutant à la sortie une porte inverseuse
- L'implémentation en CMOS technologie nécessite donc six transistors comme le montre la figure

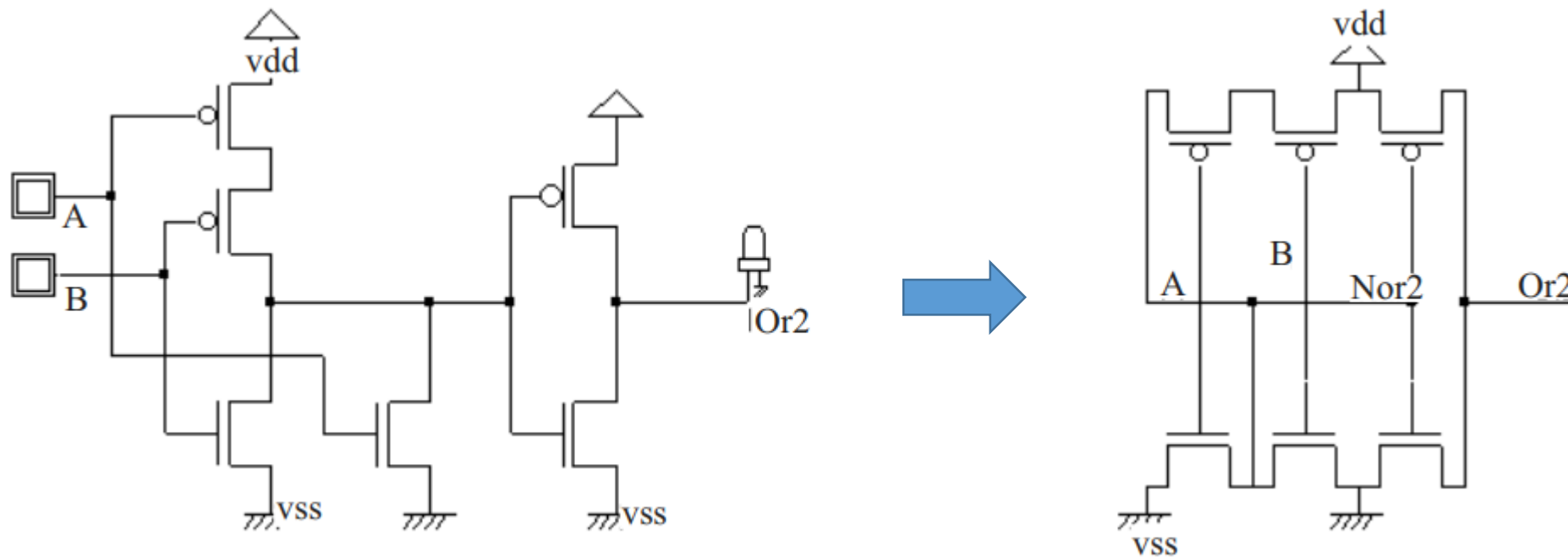
a	b	S
0	0	0
0	1	1
1	0	1
1	1	1
X	0	X
X	1	1
0	X	X
1	X	1



OR2 made from NOR2 and Inverter

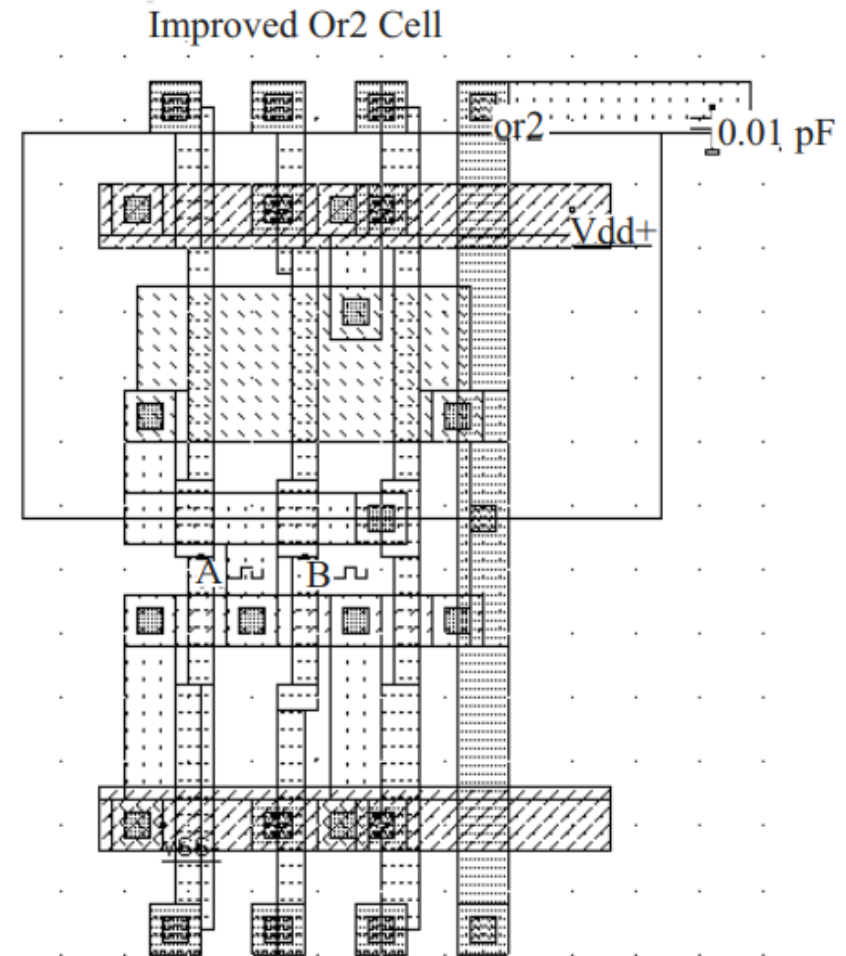
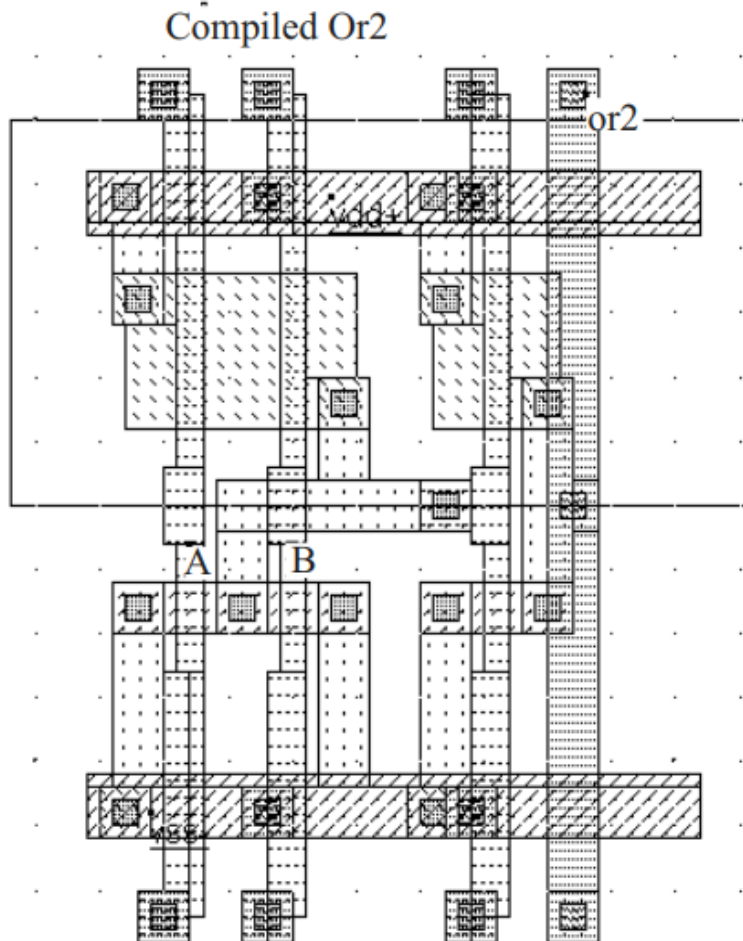
Chapitre 5: Conception des éléments de base

- La porte OR à deux entrées
- On peut réarranger cette configuration pour optimiser le design comme le montre la figure suivante.
- Dans ce cas, tous les PMOS partagent la même zone de diffusion
- De même, tous les NMOS partagent aussi la même zone de diffusion



Chapitre 5: Conception des éléments de base

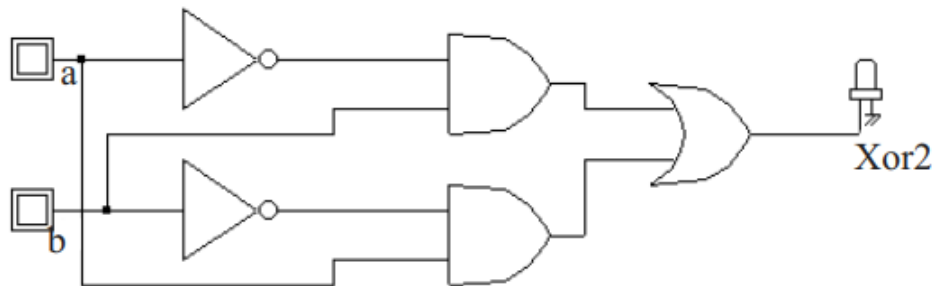
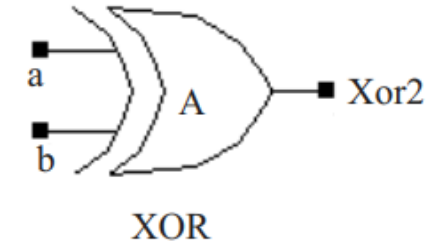
- La porte OR à deux entrées
- On peut voir la différence entre la version compilée de la porte OR en utilisant la commande $OR2 = (A|B)$ et la version optimisée manuellement



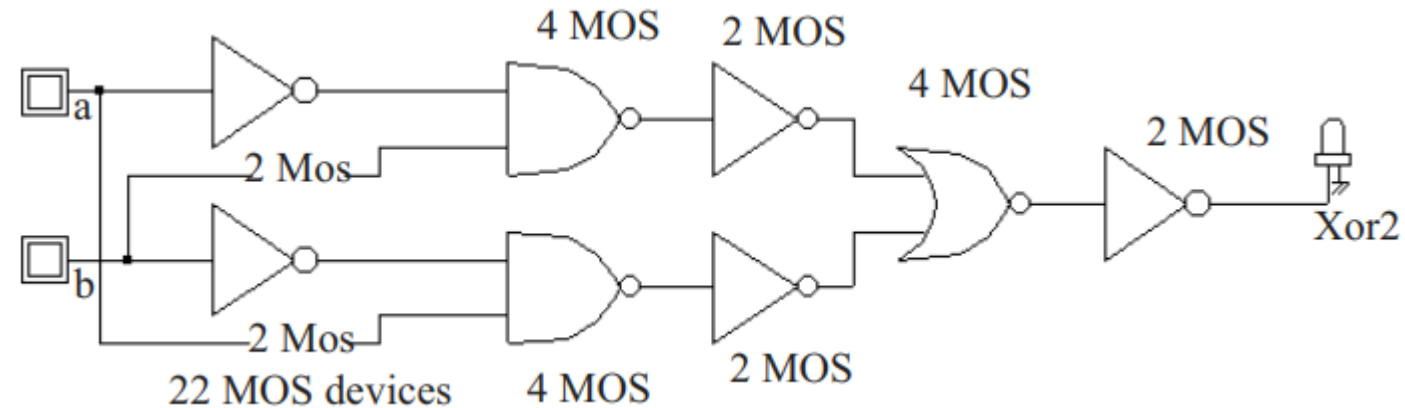
Chapitre 5: Conception des éléments de base

- La porte XOR à deux entrées
- La table de vérité ainsi que le symbole de la porte XOR sont illustrés dans la figure ci-contre
- La sortie de la porte XOR est à 1 si et seulement si les deux entrées sont différentes
- La méthode la plus simple pour réaliser la porte XOR consiste à traduire son équation logique en portes logiques
- Cette méthode nécessite 22 transistor!!!

a	b	Xor2
0	0	0
0	1	1
1	0	1
1	1	0
X	0	X
X	1	X
0	X	X
1	X	X



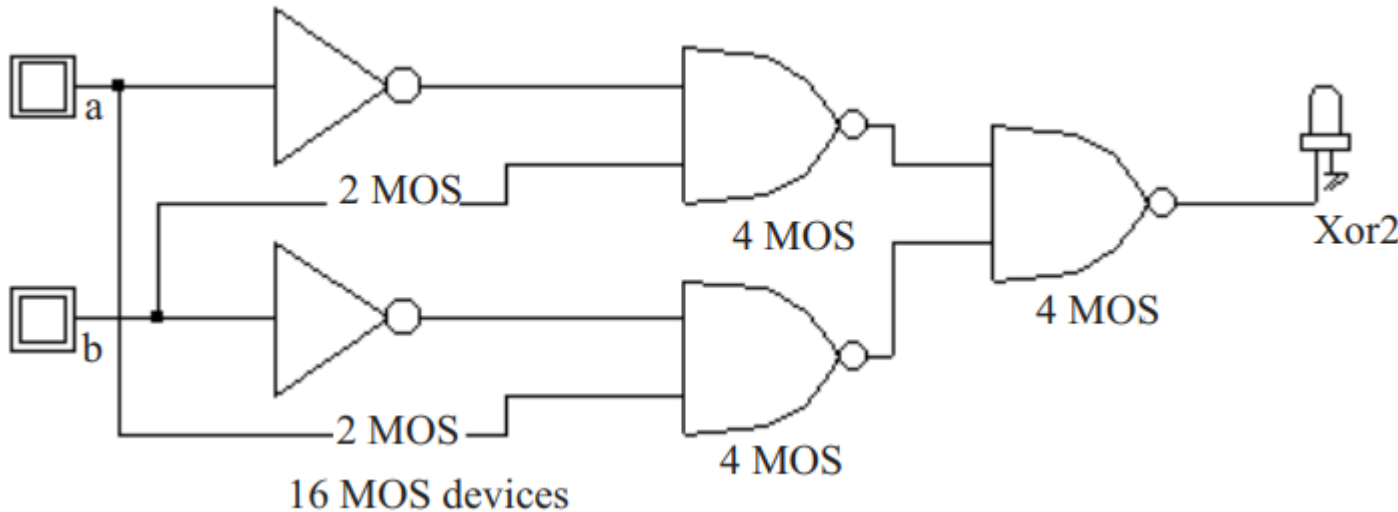
$$\text{Xor2} = A\bar{B} + \bar{A}B$$



Chapitre 5: Conception des éléments de base

- La porte XOR à deux entrées (première conception optimisée)
- La logique négative est toujours préférée en logique CMOS car il permet de minimiser le nombre de transistors nécessaire pour la réalisation des circuits.
- On peut remplacer les portes AND et OR par des portes NAND

$$\text{Xor2} = \overline{\overline{A} \overline{B} + B \overline{A}} = \overline{\overline{A} \overline{B} \cdot B \overline{A}}$$

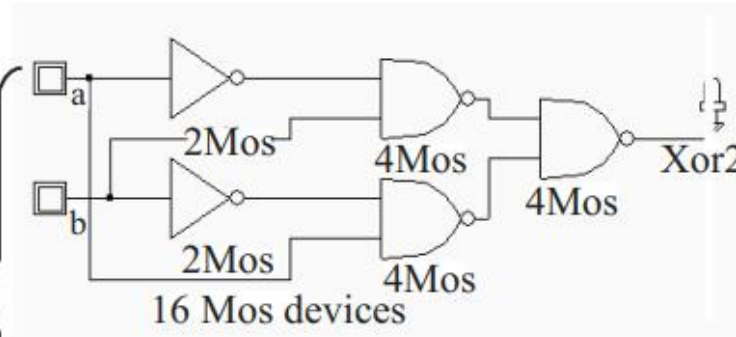


- Le nombre total des transistors est réduit à 16 avec des portes de type NAND
- On gagne 6 transistors par rapport à la conception précédente.
- Un espace pour ajouter trois inverseurs dans la conception

Chapitre 5: Conception des éléments de base

- La porte XOR à deux entrées (première conception optimisée)
- On peut simuler le circuit sous DSCH puis générer son code équivalent en langage Verilog
- À noter que le code généré contient la description de la porte ainsi que le fichier de test (test bench)
- **Le code ainsi généré peut être compilé sous Microwind pour générer le dessin de mask correspondant**

DSCH logic editor and logic simulator

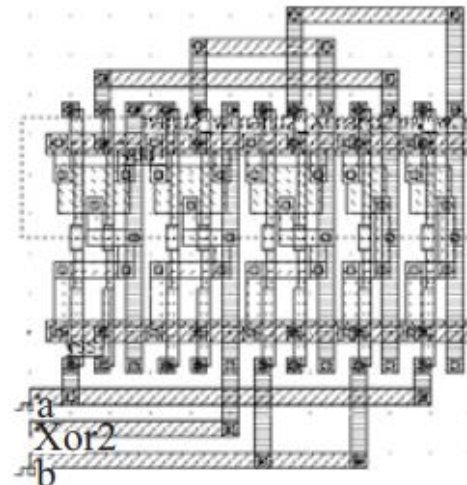


Create the XOR schematic diagram (Xor2_16.SCH)



Create the Verilog description (Xor2_16.TXT)

MICROWIND layout editor and analog simulator



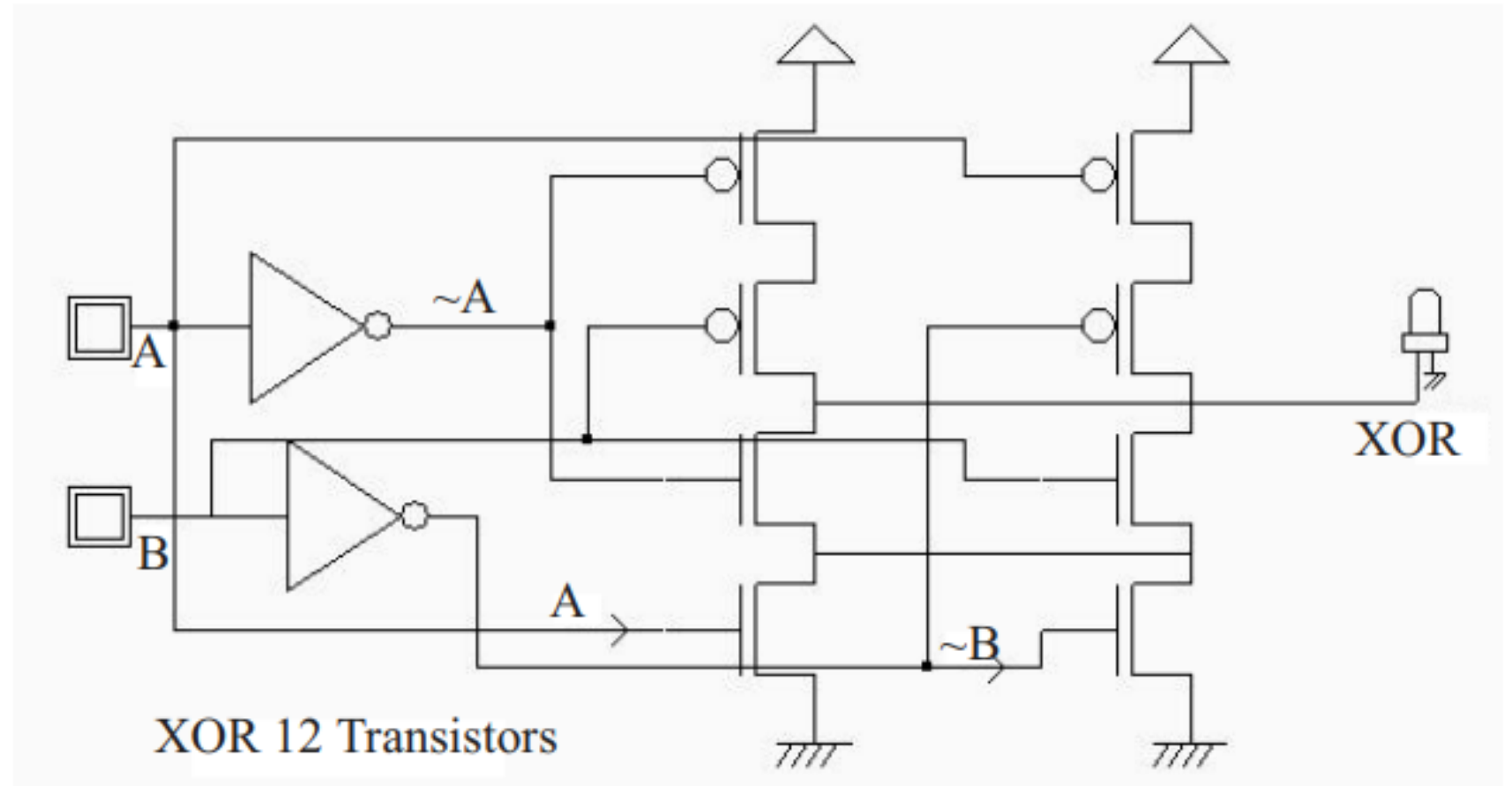
Simulate the XOR gate at layout level (Xor2_16.MSK)



Import and compile the Verilog description

Chapitre 5: Conception des éléments de base

- La porte XOR à deux entrées (deuxième conception optimisée)
- On peut aussi optimiser d'avantage la conception de la porte XOR en adoptant le schéma suivant
- Les PMOS réalisent la fonction $(\bar{A} \& B) \text{ or } (A \& \bar{B})$
- Les NMOS réalisent la fonction: $(\bar{A} \text{ or } B) \text{ and } (A \text{ or } \bar{B})$



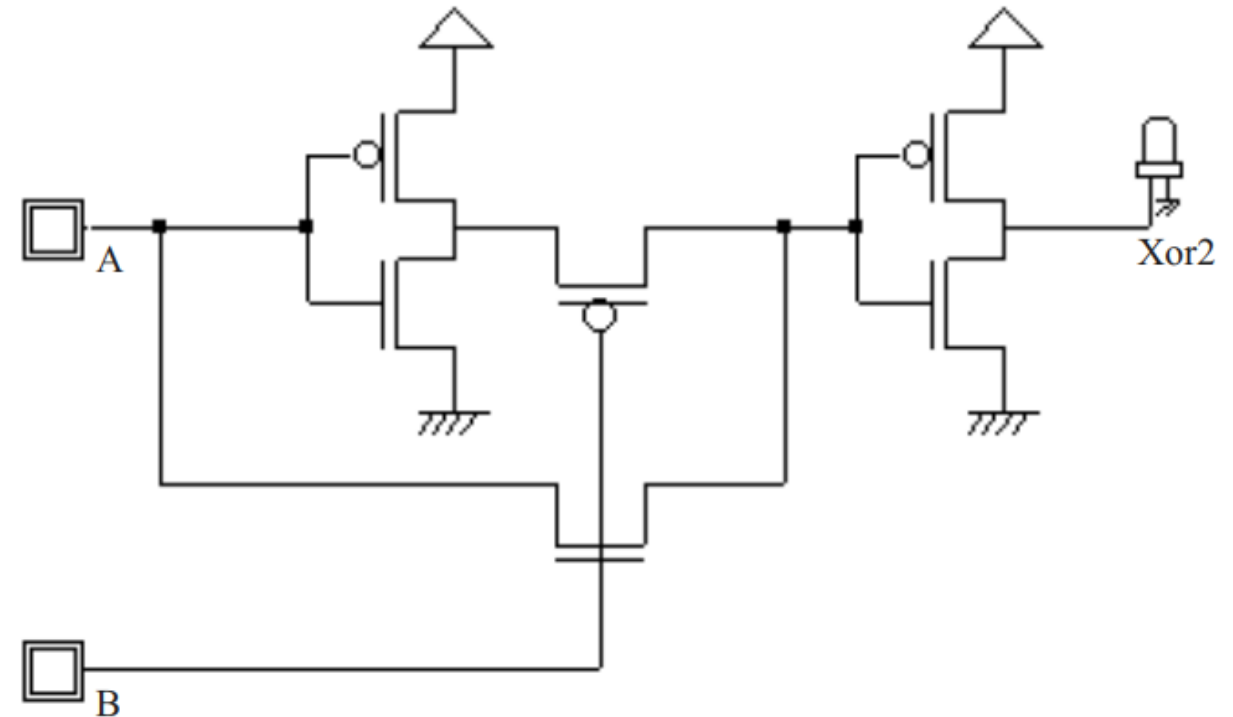
- Avec cette structure on peut gagner 4 transistors par rapport à la précédente
- Soit un espace pour ajouter deux autres inverseurs dans la conception

Chapitre 5: Conception des éléments de base

- La porte XOR à deux entrées (troisième conception optimisée)
- On peut lire le circuit de la manière suivante:

a	b	Xor2
0	0	0
0	1	1
1	0	1
1	1	0
X	0	X
X	1	X
0	X	X
1	X	X

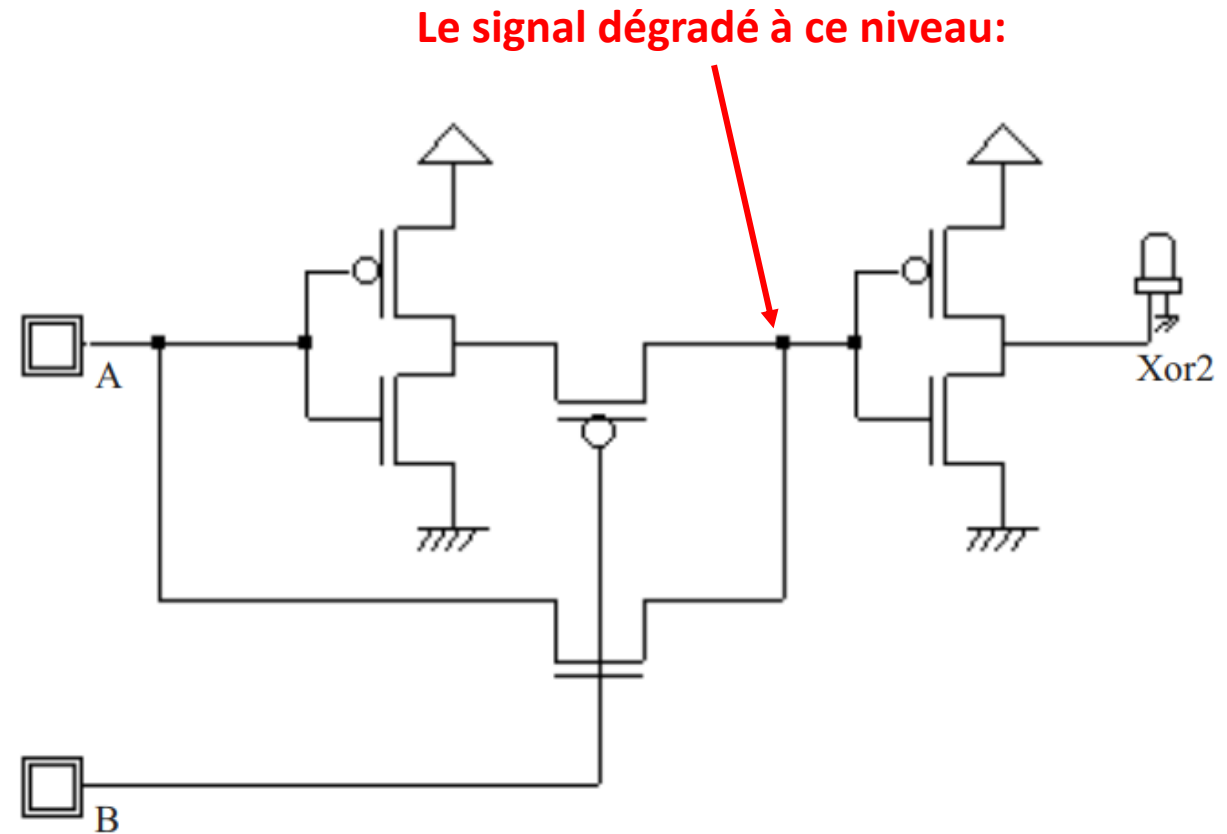
- Si B = 0 alors Out = A
- Si B = 1 alors Out = $\bar{A}$



- Avec cette conception on peut gagner 6 transistors par rapport à la conception précédente
- Soit un espace du wafer pour l'implantation de TROIS inverseurs

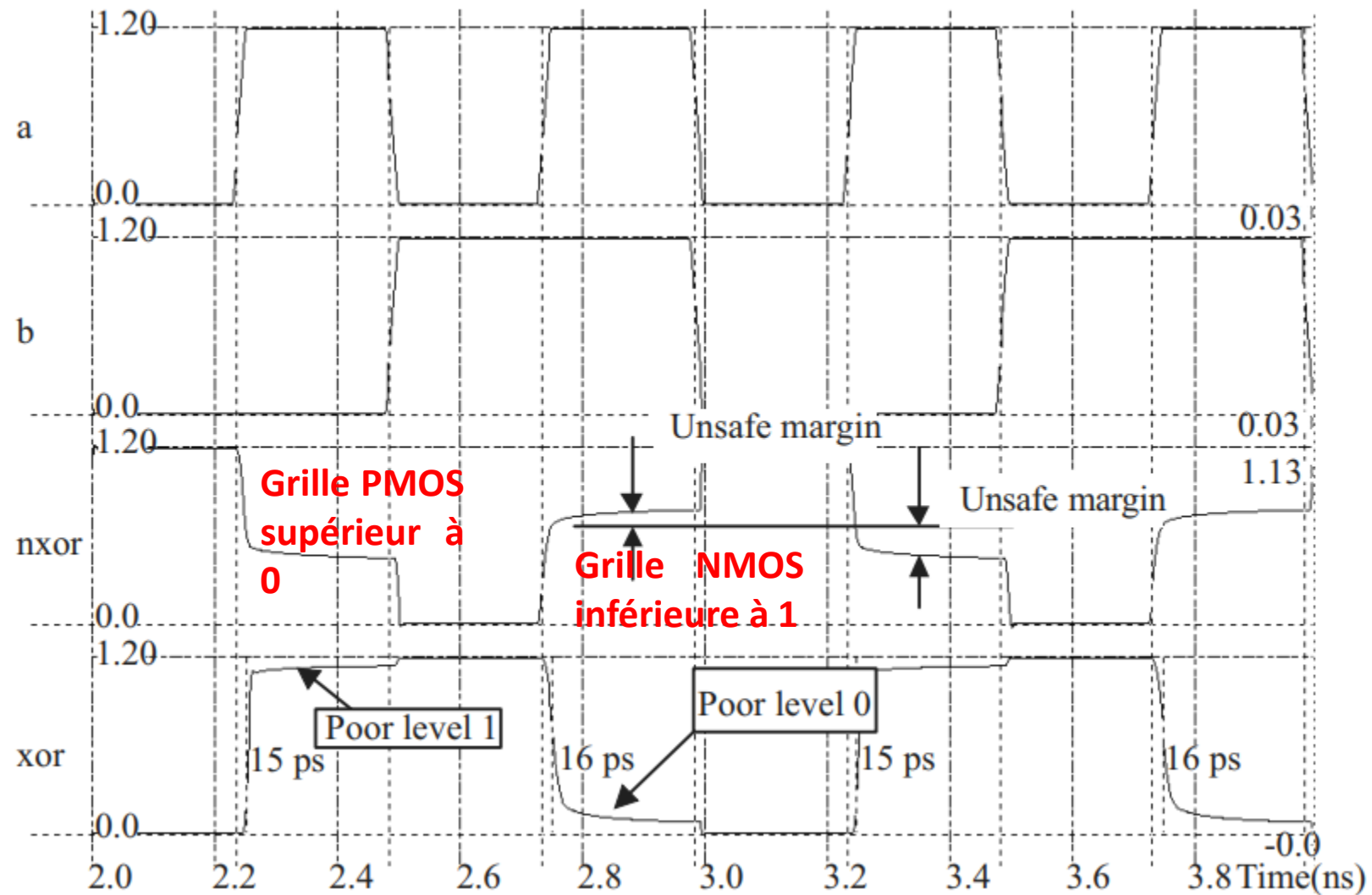
Chapitre 5: Conception des éléments de base

- La porte XOR à deux entrées (troisième conception optimisée)
- L'inverseur de sortie est utilisé pour amplifier les signaux A ou /A à la sortie des transistors de transmission. (Le PMOS est un mauvais transmetteur de la logique bas, et le NMOS est un mauvais transmetteur de la logique haut)
- Utiliser la commande (XOR = A^B) pour générer le layout et visualiser le signal à l'entrée de l'inverseur de sortie



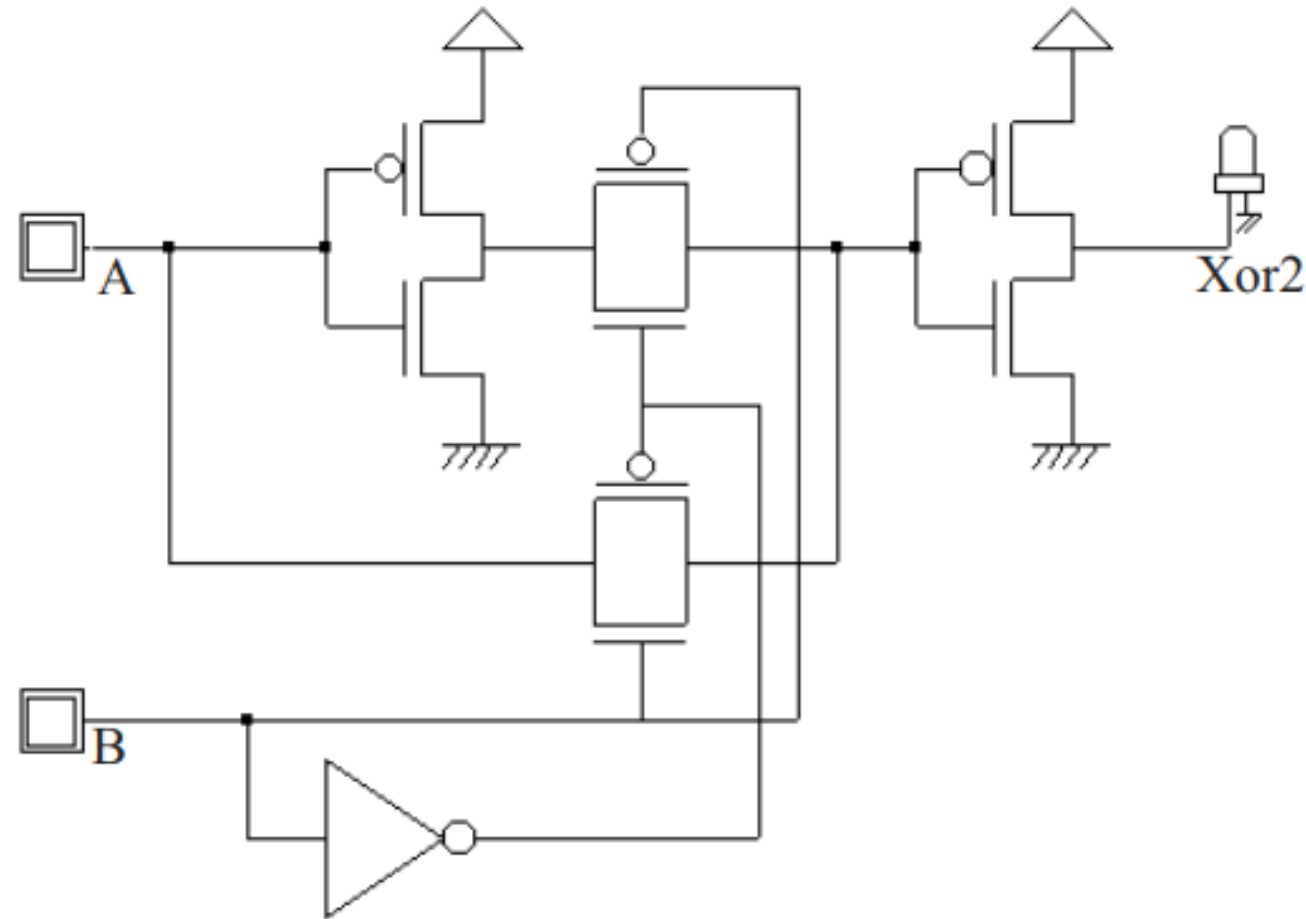
Chapitre 5: Conception des éléments de base

- La porte XOR à deux entrées (troisième conception optimisée)
- On peut voir que les transistors de transmission NMOS et PMOS dégradent le signal au niveau de l'inverseur de sortie.
- Les grilles de l'inverseur de sortie sont alors soumises à des tensions dégradées (inférieure à 1 pour le NMOS et supérieure à 0 pour le PMOS)
- Pour remédier à ce problème on utilise les portes de transmission



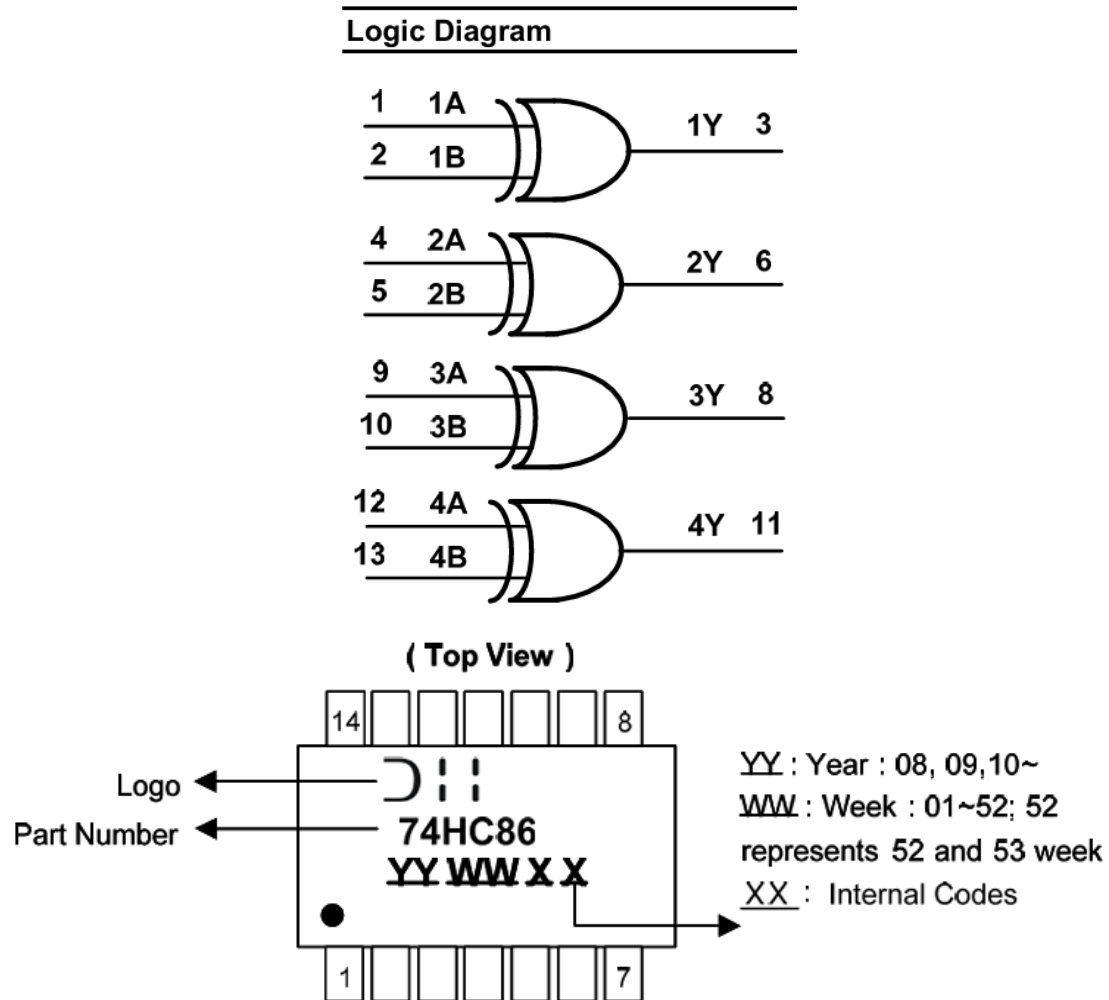
Chapitre 5: Conception des éléments de base

- La porte XOR à deux entrées (troisième conception optimisée)
- Pour remédier à ce problème on utilise les portes de transmission
- Faire la simulation du circuit sous DSCH
- Générer le layout et visualiser le signal au niveau de l'entrée de l'inverseur de sortie
- Remarque
- Pour obtenir le schéma de la porte XNOR il suffit juste d'inverser le rôle du signal B dans le schéma précédent
- On peut aussi se contenter de supprimer l'inverseur de sortie. Cette dernière solution est déconseillée car le signal de sortie n'est plus amplifié. Si on ajoute un autre inverseur, le temps de retard sera grand



Chapitre 5: Conception des éléments de base

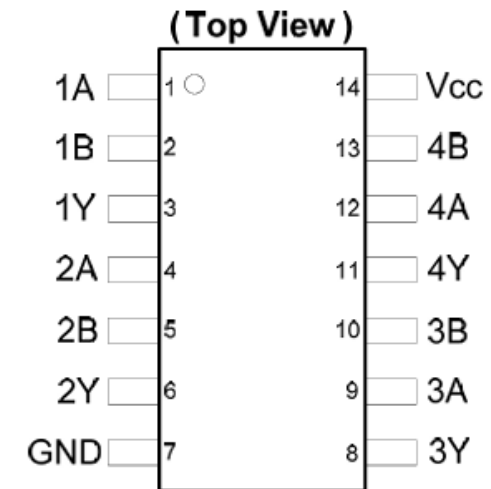
- La porte XOR (exemple de circuit intégré 74HC86)



74HC86

QUADRUPLE 2-INPUT EXCLUSIVE OR GATES

Pin Assignments



SO-14 / TSSOP-14

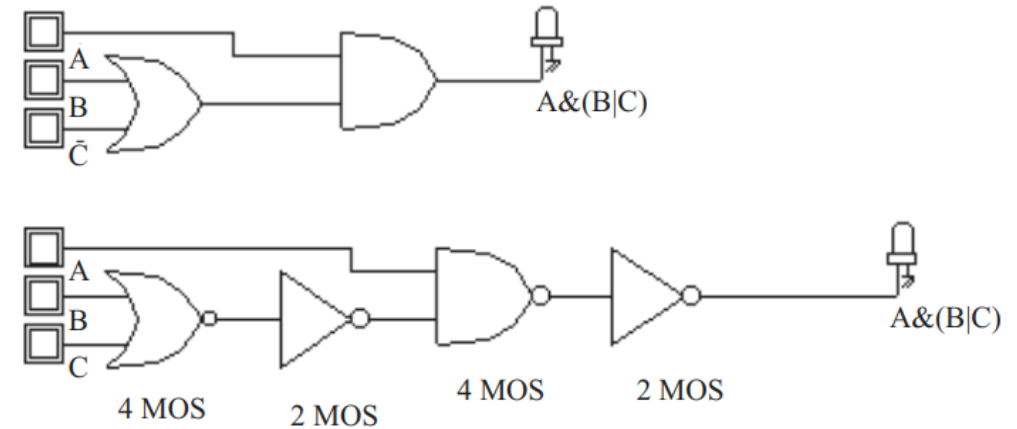
Applications

- General Purpose Logic
- Wide array of products such as:
 - PCs, Networking, Notebooks, Netbooks
 - Computer Peripherals, Hard Drives, CD/DVD ROM
 - TV, DVD, DVR, Set Top Box

Chapitre 5: Conception des éléments de base

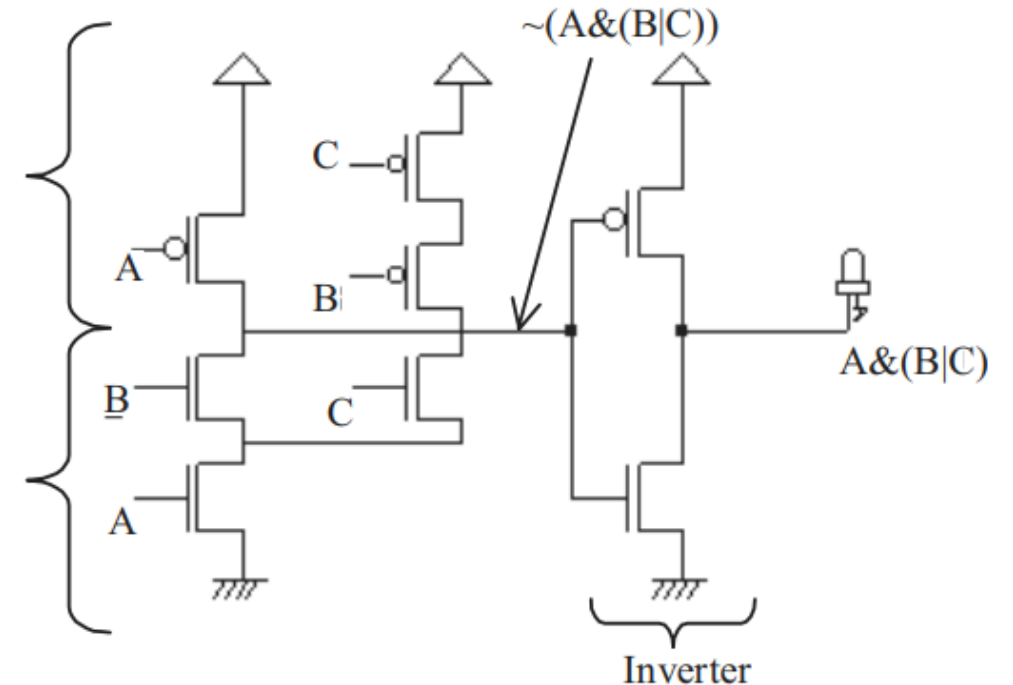
- Les portes complexes
- On considère la fonction booléenne suivante $F = A \& (B \mid C)$
- Pour concevoir le schéma équivalent, on admet la règle suivante:
- Le réseau NMOS :
 - Réalise la fonction F
- Pour le réseau PMOS:
 - Réalise la fonction $\sim F$
- Après on ajoute un inverseur à la sortie

*Conception
classique
nécessitant
12
transistors*



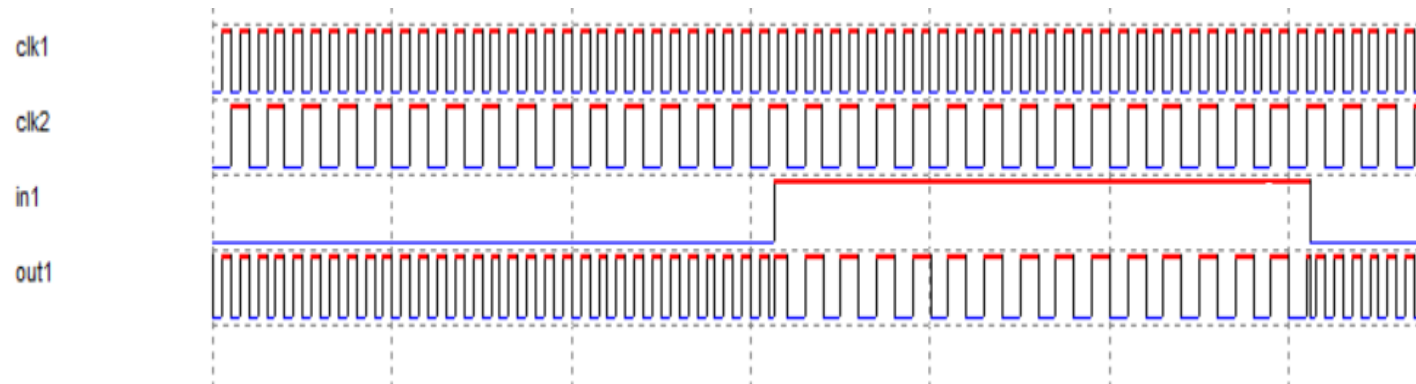
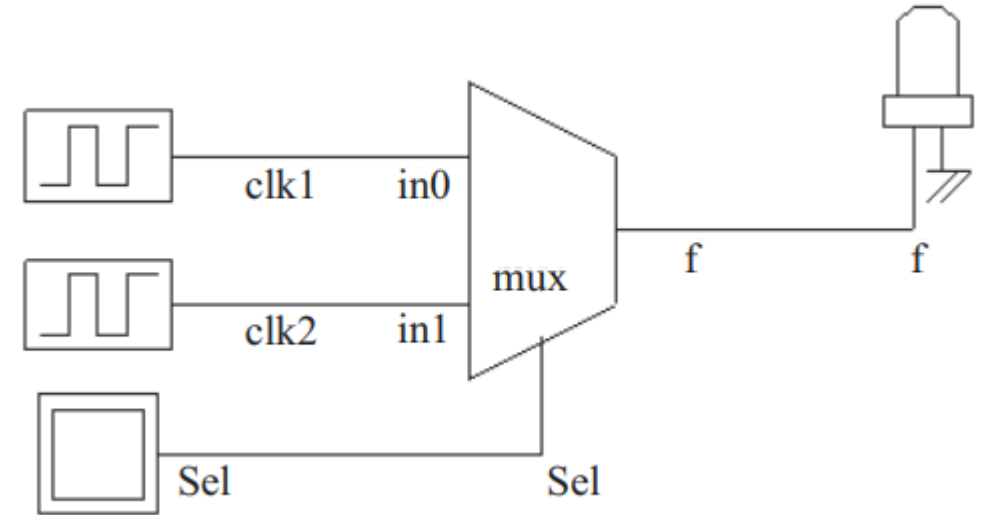
$F_p = A \text{ parallel } (B \text{ series } C)$

$F_n = A \text{ series } (B \text{ parallel } C)$



Chapitre 5: Conception des éléments de base

- **Les multiplexeurs**
- Un multiplexeur est un circuit permettant de sélectionner une entrée parmi plusieurs entrées. L'entrée ainsi sélectionnée est acheminée vers la broche de sortie
- **Quand la broche de sélection est à 0 alors la sortie recopie le signal clk1**
- **Quand la broche de sélection est à 1 alors la sortie recopie le signal clk2**

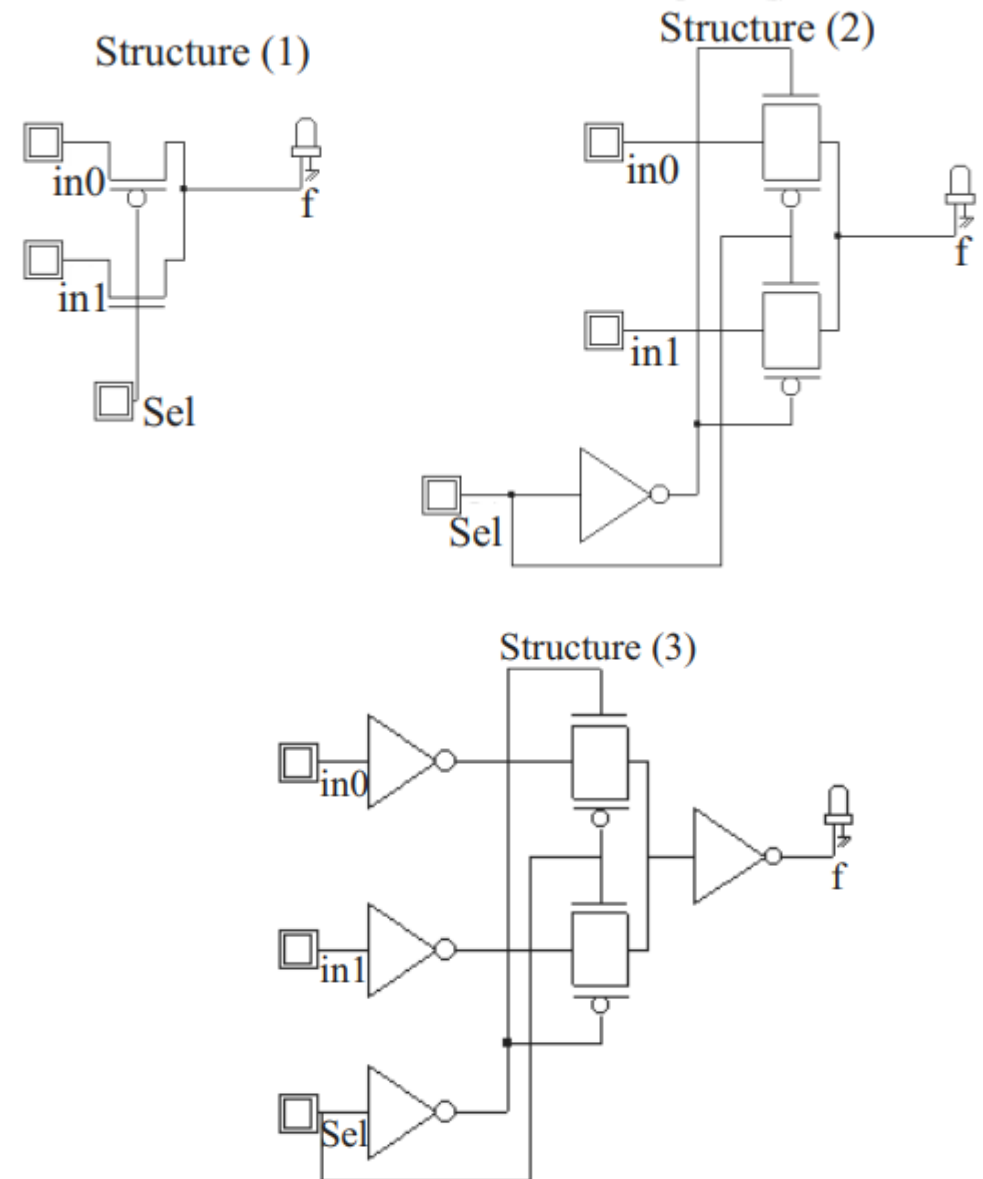


```
Case (sel)
0 : f = in0;
1 : f = in1
endcase
```

sel	in0	in1	f
0	X	0	0
0	X	1	1
1	0	X	0
1	1	X	1

Chapitre 5: Conception des éléments de base

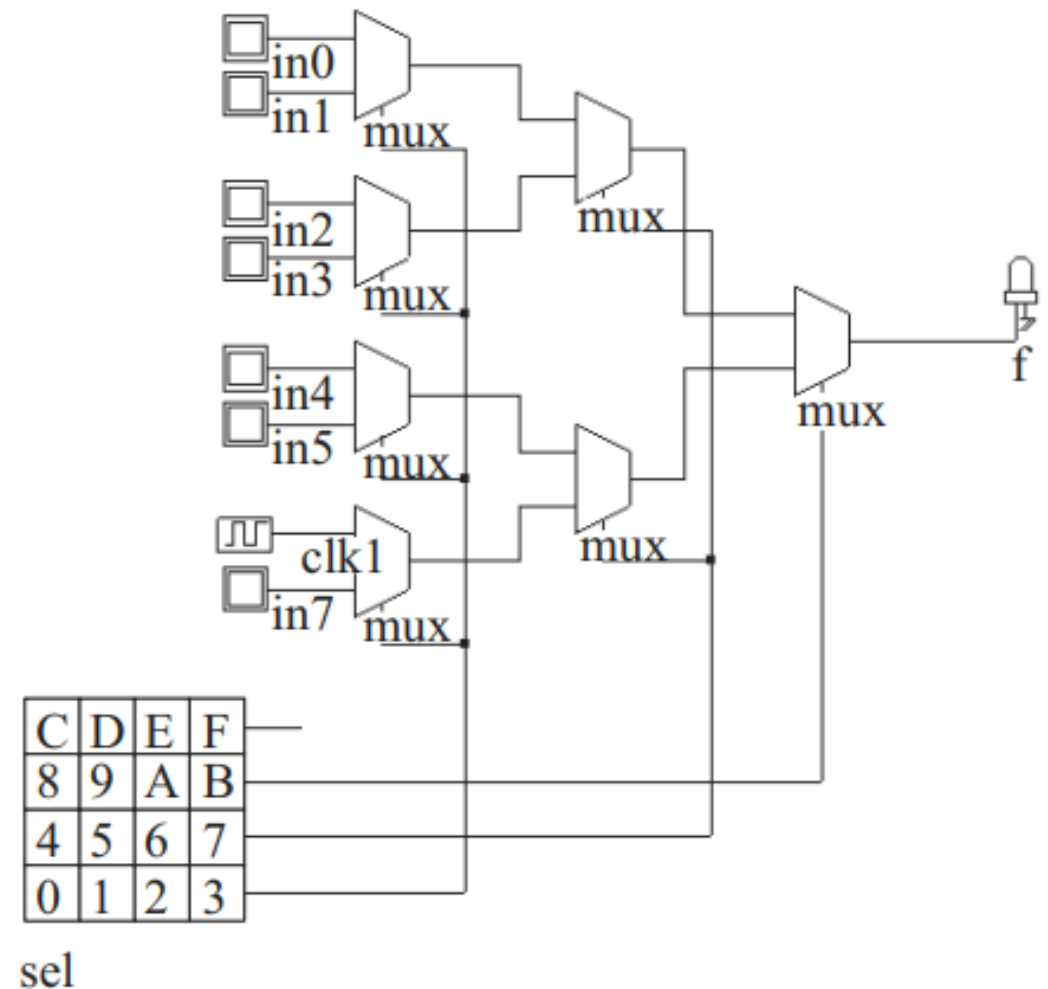
- **Les multiplexeurs**
- Le schéma le plus simple pour implémenter un multiplexeur est d'utiliser deux transistors MOS comme le montre la figure de la **structure 1**
- Cette première structure produit des signaux dégradés à la sortie puisque les entrées sont directement connectées aux zones de diffusions des transistors PMOS et NMOS
- La deuxième structure emploie des portes de transmission, permettant d'éviter la dégradation des signaux puisque chaque transistor va être utilisé dans sa zone de fonctionnement optimale (PMOS passe très bien le 1 logique et le NMOS passe très bien le 0 logique)
- **L'inconvénient de la deuxième structure réside dans le fait que le signal F n'est amplifié**
- **La structure 3 est optimale car elle permet une isolation et une amplification des signaux d'entrées et celui de la sortie**



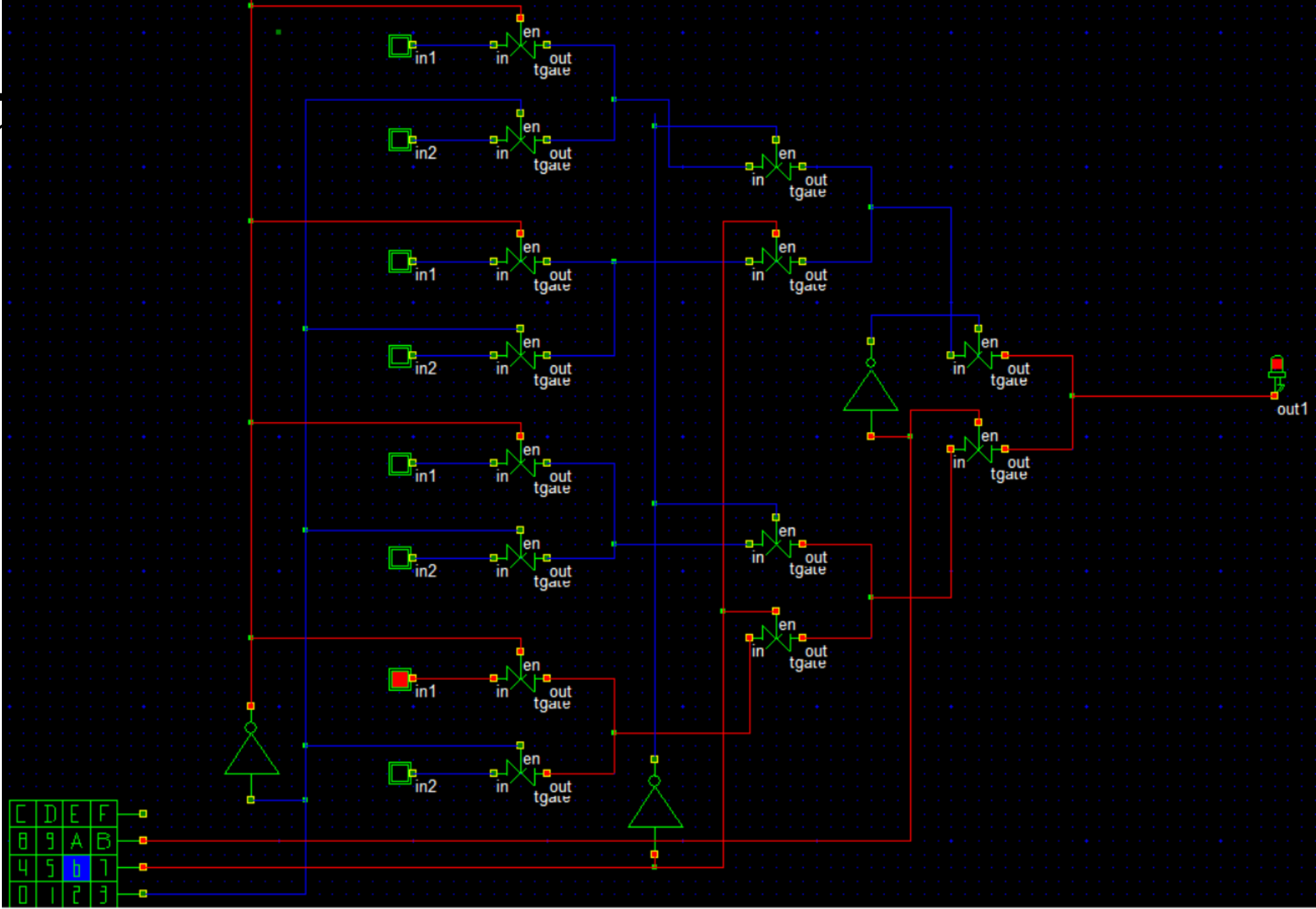
Chapitre 5: Conception des éléments de base

- Les multiplexeurs **n vers 1**
- Les multiplexeurs **n vers 1** permettent de sélectionner un seul signal d'entrée parmi les n signaux disponible. Alors nous avons besoin de **m** signal de sélection (**$2^m = n$**)
- Une implémentation possible d'un multiplexeur 8 vers 1 est illustrée dans la figure ci-contre

```
Case (sel)
  0 : f = in0;
  1 : f = in1;
  2 : f = in2;
  3 : f = in3;
  4 : f = in4;
  5 : f = in5;
  6 : f = in6;
  7 : f = in7;
endcase
```

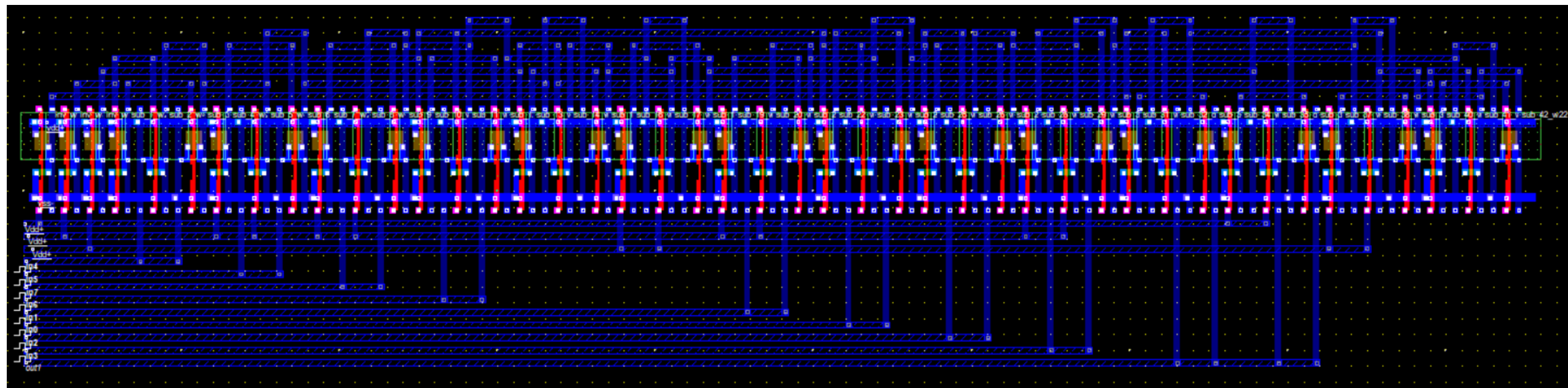


- Les multiplexeurs r
- Réaliser le schéma suivant sous DSCH et vérifier son fonctionnement
- Générer le fichier Verilog correspondant et compiler le dans microwind



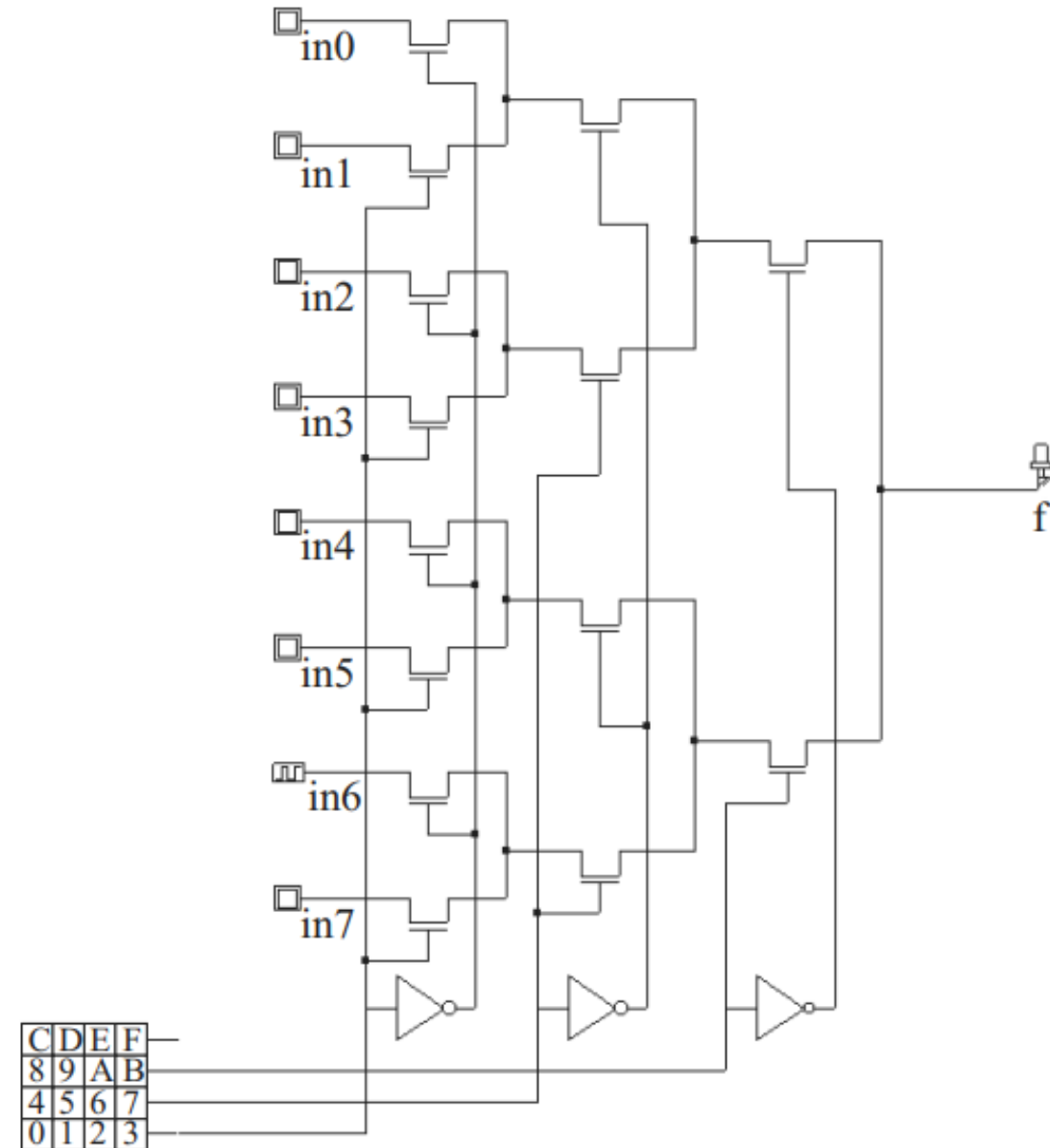
Chapitre 5: Conception des éléments de base

- Les multiplexeurs 8 vers 1
 - Modifier le schéma sous microwind et visualiser la sortie
 - Applique une combinaison de sel = 111 , in7 = clk et visualiser la sortie out



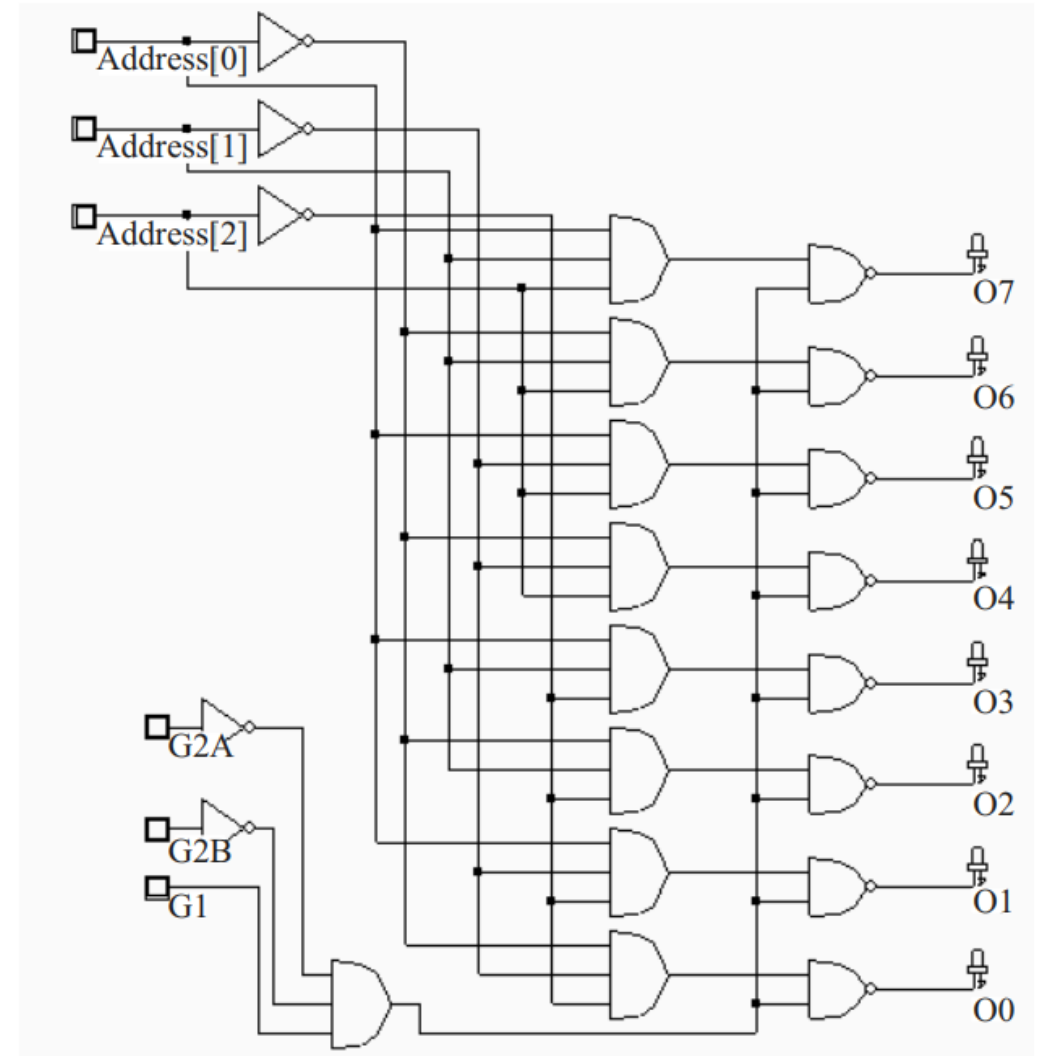
Chapitre 5: Conception des éléments de base

- Les multiplexeurs 8 vers 1 à base de transistors NMOS
 - Le schéma suivant illustre un multiplexeur 8 vers 1 à base de transistors NMOS seulement
 - Cette implémentation est facile et permet un gain en surface de silicium mais dégrade le signal de sortie quand les NMOS passent le niveau logique 1
- Réaliser le schéma sous DSCH et générer le code Verilog
- Compiler le code Verilog sous Microwind et générer le Layout correspondant
- Simuler le fonctionnement du circuit et interpréter les résultats obtenus



Chapitre 5: Conception des éléments de base

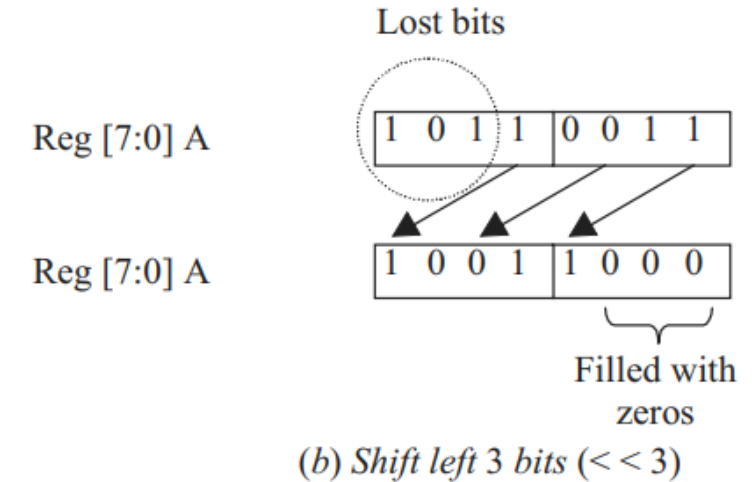
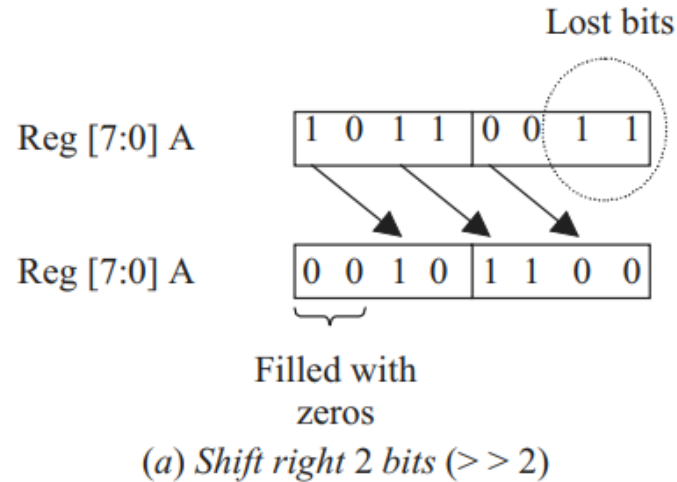
- Le démultiplexeur 8 vers 1 à base de transistors NMOS
 - Le schéma suivant illustre un démultiplexeur 74LS138
 - Le circuit permet de sélectionner une seule sortie parmi les 8 sorties en fonction de la combinaison des signaux d'adresse
 - Par exemple si j'applique l'adresse 000 la sortie sélectionnée sera O0
 - Les signaux G2A et G2B sont souvent reliés à la masse, le signal G1 est relié à Vdd
 - Compiler le code Verilog sous Microwind et générer le Layout correspondant
 - Simuler le fonctionnement du circuit et interpréter les résultats obtenus



Chapitre 5: Conception des éléments de base

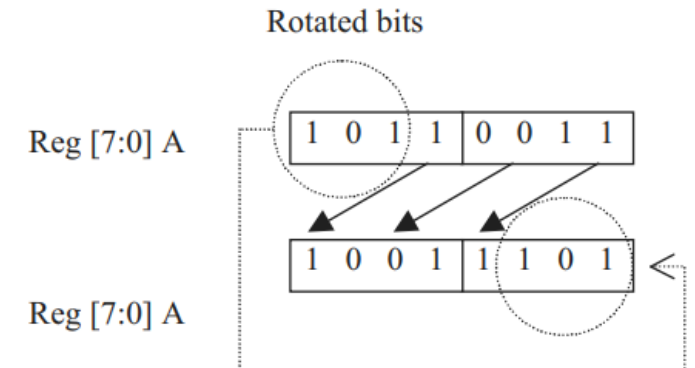
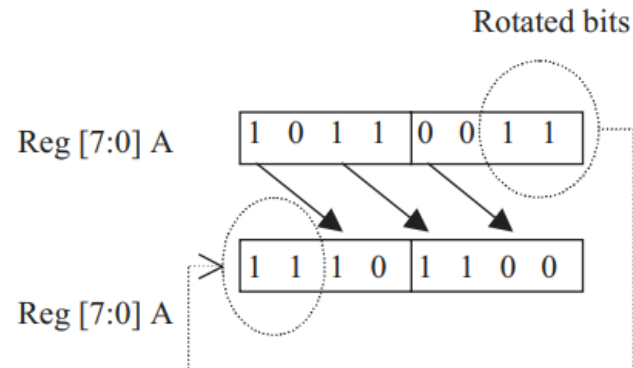
- **Les registres à décalage**

- Les registre à décalage permettent la manipulation des données à travers le décalage soit vers la droite soit vers la gauche
- On considère l'exemple suivant:
- Dans le premier cas, on décale le contenu du registre de base par 2bits vers la droite
- Dans le deuxième cas, on décale le contenu vers la gauche avec 3bits
- Des zéros sont mis à la palce des cellules décalées



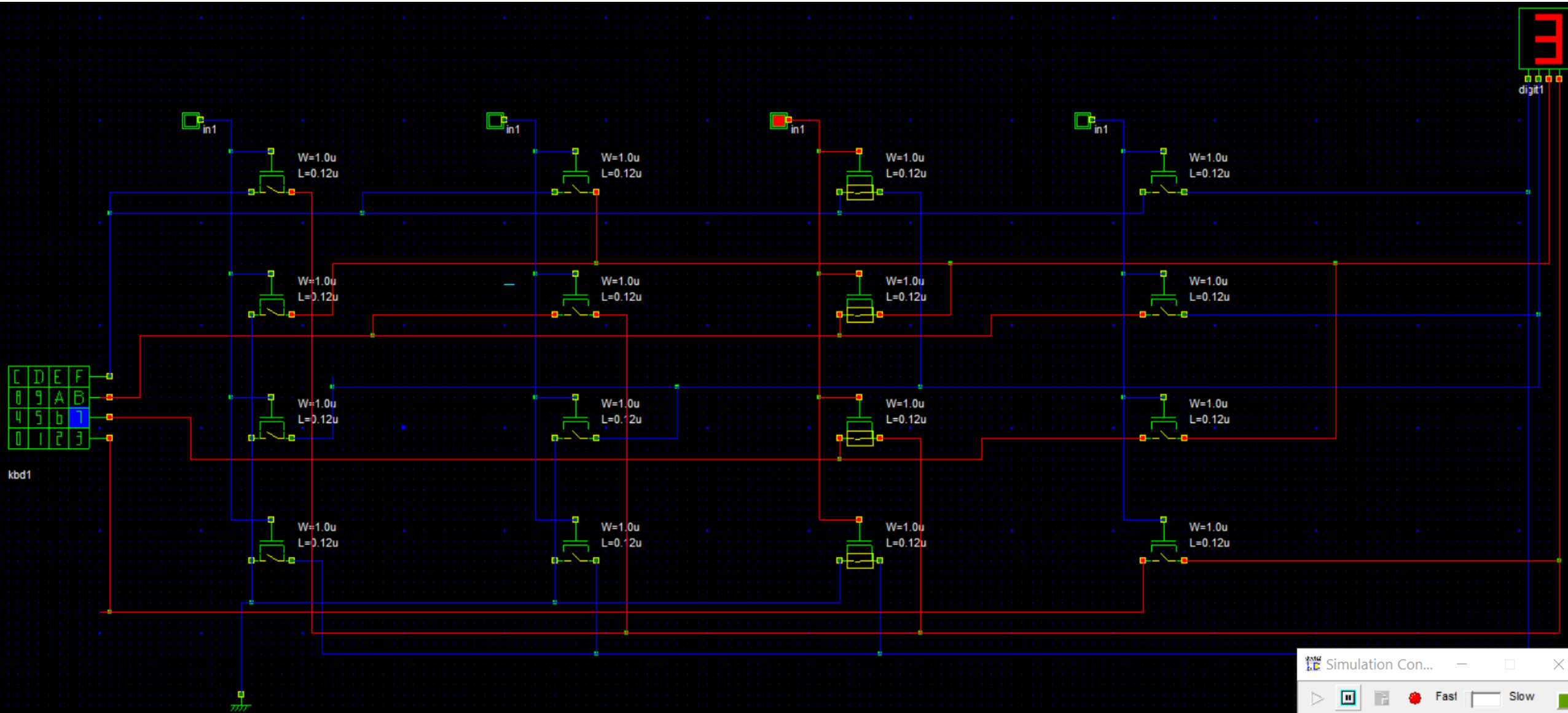
- **Les registres à décalage avec rotation**

- Ce type de registre permet de décaler la donnée et de réinjecter les bits ainsi décalés dans les cases vides. Ce principe est illustré dans la figure suivante.



Chapitre 5: Conception des éléments de base

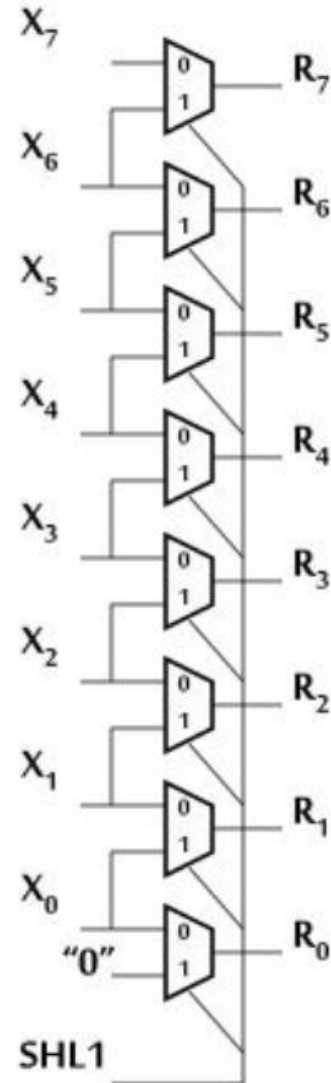
- Le schéma du registre à décalage vers la droite



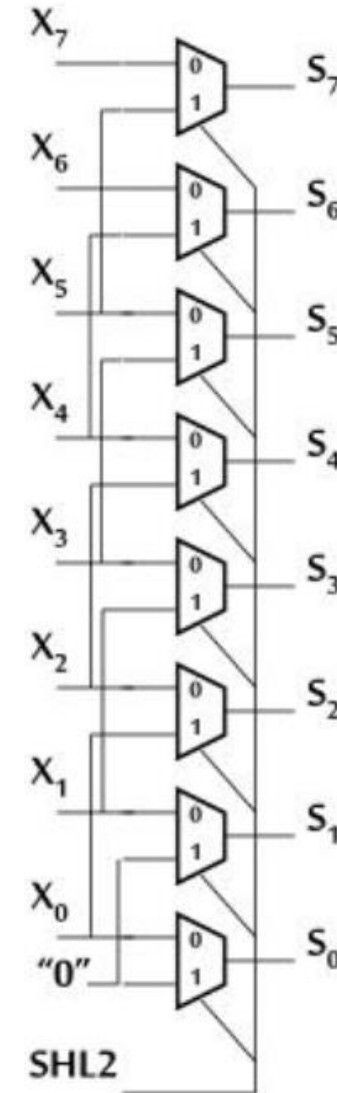
Chapitre 5: Conception des éléments de base

- Le schéma du registre à décalage vers la gauche

- On peut aussi réaliser les autres à décalage en adoptant la structure suivante.
- Le mux en bas est connecté à la masse**
- Si SHL1 est à 1 alors le registre permet de décaler l'entrée vers la gauche**
- Résultat $R_7 = X_6, \dots R_0 = 0$**

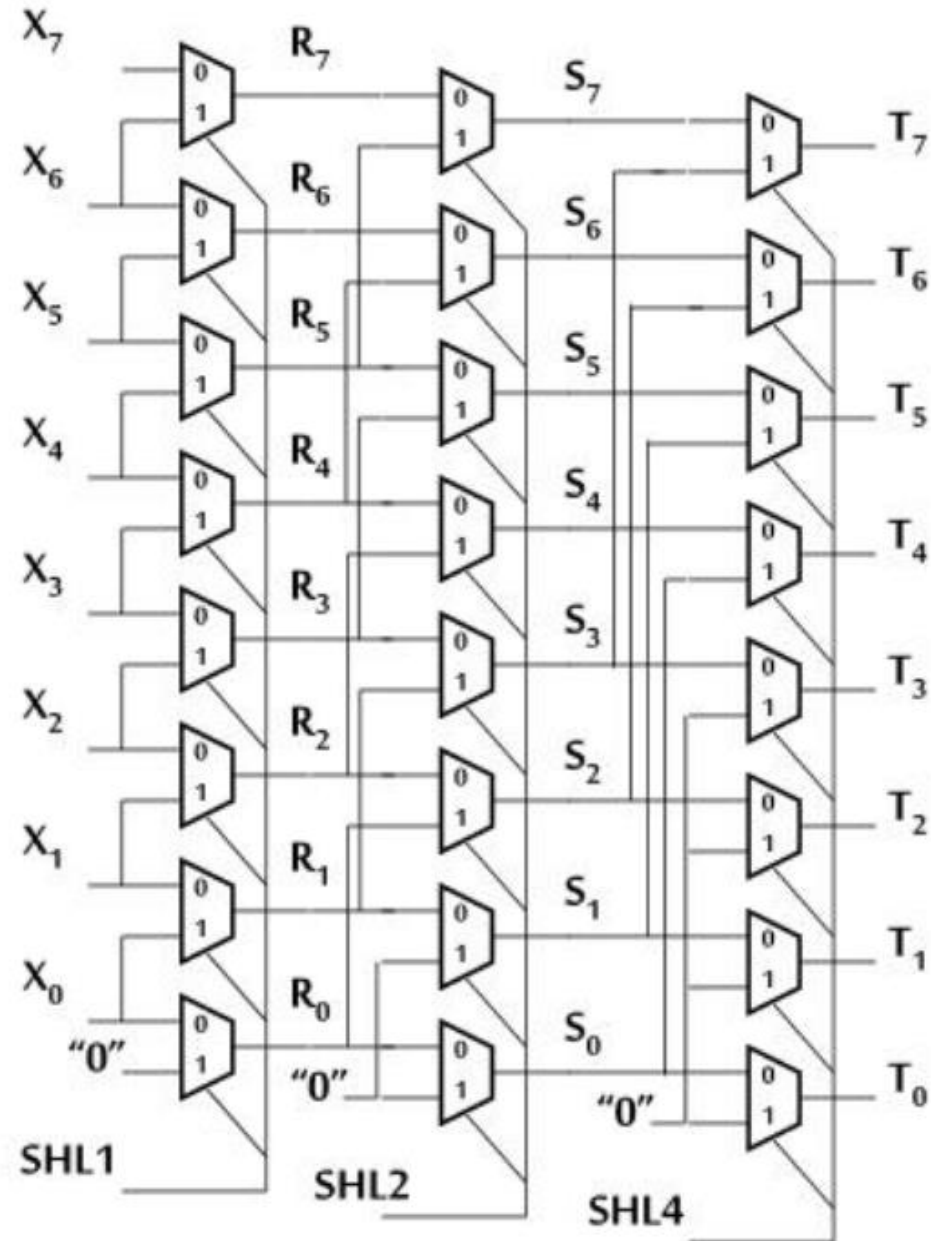


- Pour réaliser un décalage de deux bits, il faut connecter deux MUX en bas avec la masse
- Comment faire pour réaliser un décalage de N bits vers la gauche??**



Chapitre 5: Conception des éléments de base

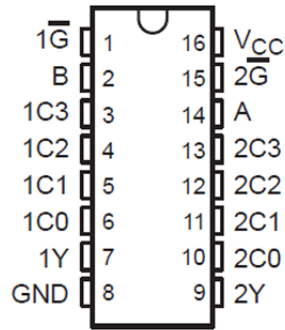
- Le schéma du registre à décalage vers la gauche
- On peut penser à utiliser plusieurs réseaux pour assurer le décalage désiré.
- Le premier réseau décale d'un bit vers la gauche
- Le deuxième réseau décale le résultat de deux bits



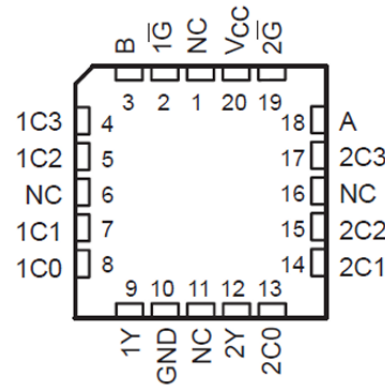
Chapitre 5: Conception des éléments de base

- Concevoir le dessin de masque du circuit:
- SNx4HC153 Dual 4-Line To 1-Line Data Selectors/Multiplexers

4 Pin Configuration and Functions



J, W, D, N, NS, or PW Package
16-Pin CDIP, CFP, SOIC, PDIP, SO, or TSSOP
Top View



NC - No internal connection

FK Package
20-Pin LCCC
Top View

