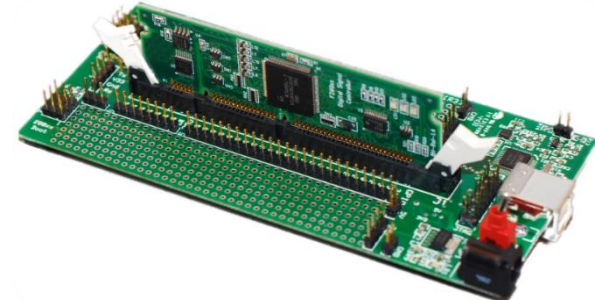
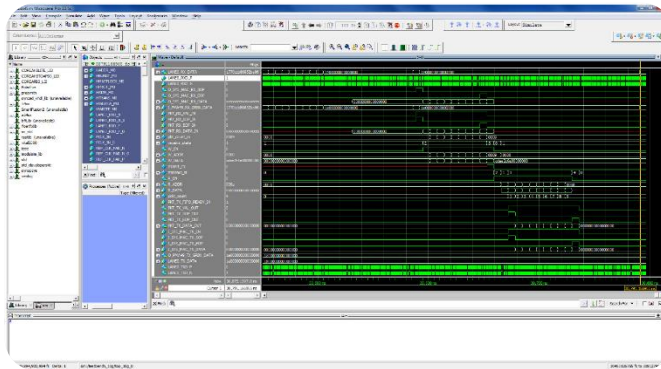
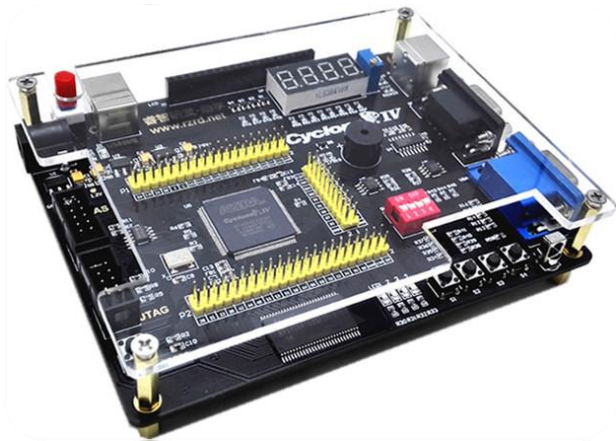


Cours FPGA, VHDL et DSP

Master d'Université Spécialisé en Ingénierie
des Systèmes Embarqués (ISE)



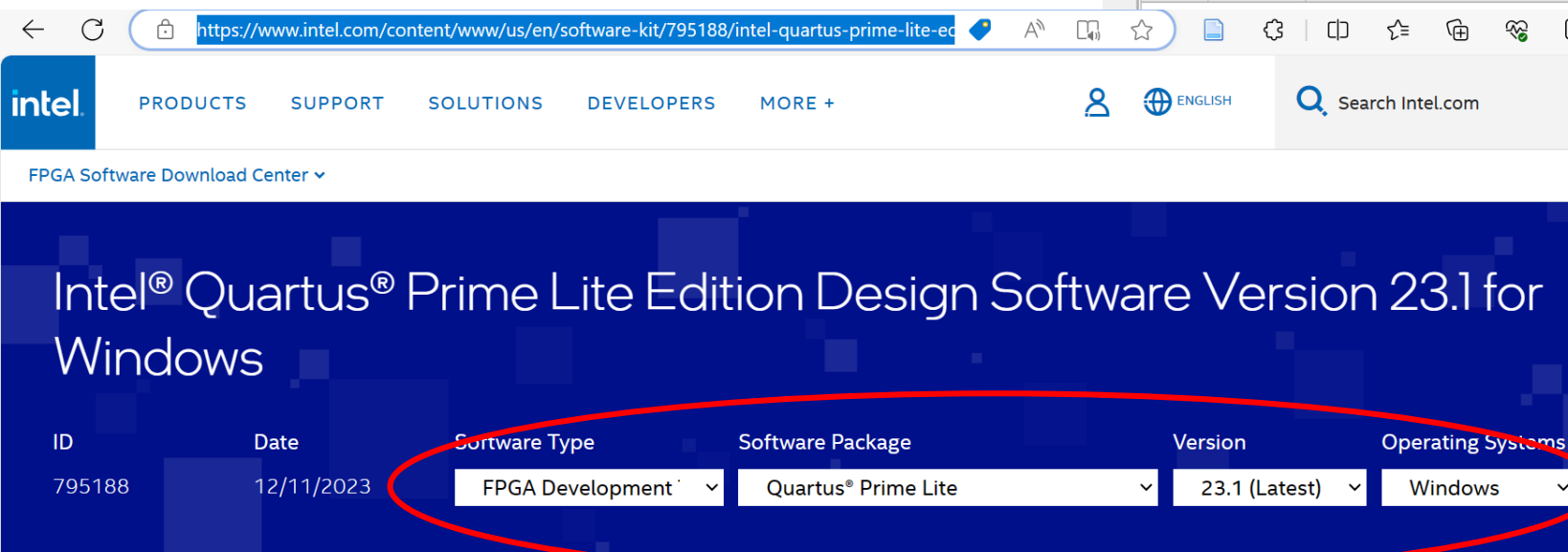
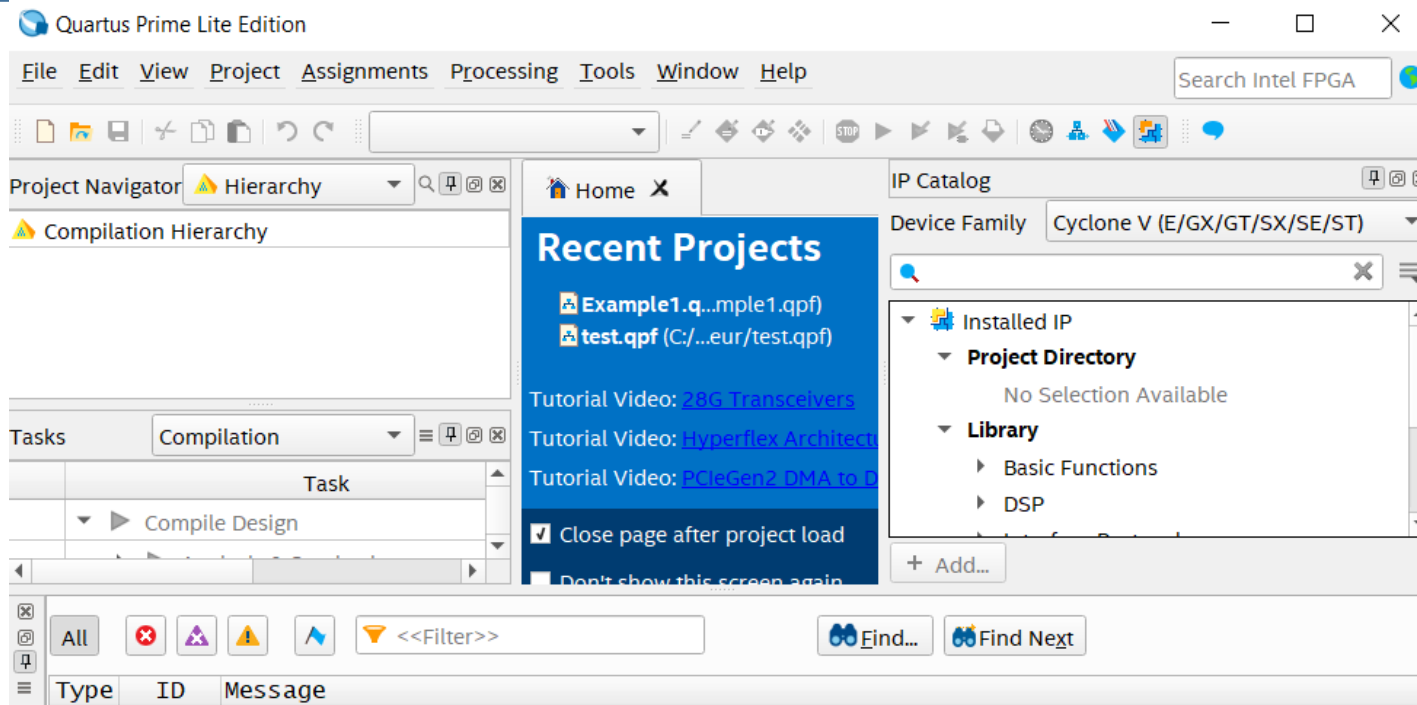
Chapitre 3: Introduction au langage VHDL+ votre premier code

Année universitaire 2024/2025

Dr. Ing. LASSIOUI Abdellah

- Logiciels à installer

Intel® Quartus® Prime Lite Edition Design Software Version 23.1 for Windows



Le langage VHDL

Introduction

- VHDL est un langage de description matériel permettant de décrire le comportement d'un circuit électronique ou d'un système. VHDL signifie **VHSIC (Very High Speed Integrated Language) Hardware Description Language**.
- VHDL est un langage standard est indépendant de la technologie ou du vendeur (un même code peut être implémenté dans un circuit FPGA quelque soit son fabriquant).
- Les instructions d'un code VHDL sont **concurrentes (Parallèles)** contrairement aux programmes informatiques usuels qui s'exécutent d'une manière séquentielle.
- **Remarque:**
Le langage VHDL offre la possibilité de faire des instructions séquentielles si elles sont placées à l'intérieur d'un Process, Function ou Procedure.

Le langage VHDL

La structure d'un code VHDL

Un code VHDL doit contenir trois sections fondamentales:

- **Library** : Contient une liste des librairies qui vont être utilisées dans le design (exemple: Library ieee;)
- **Entity** : Permettant de spécifier les entrées et les sorties du circuit
- **Architecture**: qui contient le code VHDL qui décrit le comportement du circuit (Sa fonction)



Le langage VHDL

La structure d'un code VHDL : Déclaration des bibliothèques (Library)

Définition :

Une bibliothèques est un ensemble de code communément utilisés dans la conception. Ces codes sont sous formes de fonctions, procédures ou composants qui sont regroupés dans un package. Une bibliothèques contient donc un ensemble de packages.

Pour déclarer une bibliothèques au moins deux lignes de codes sont utilisées :

Library *nom_de_la_bibliothèque;*

Use *nom_de_la_bibliothèque.package;*

Exemple:

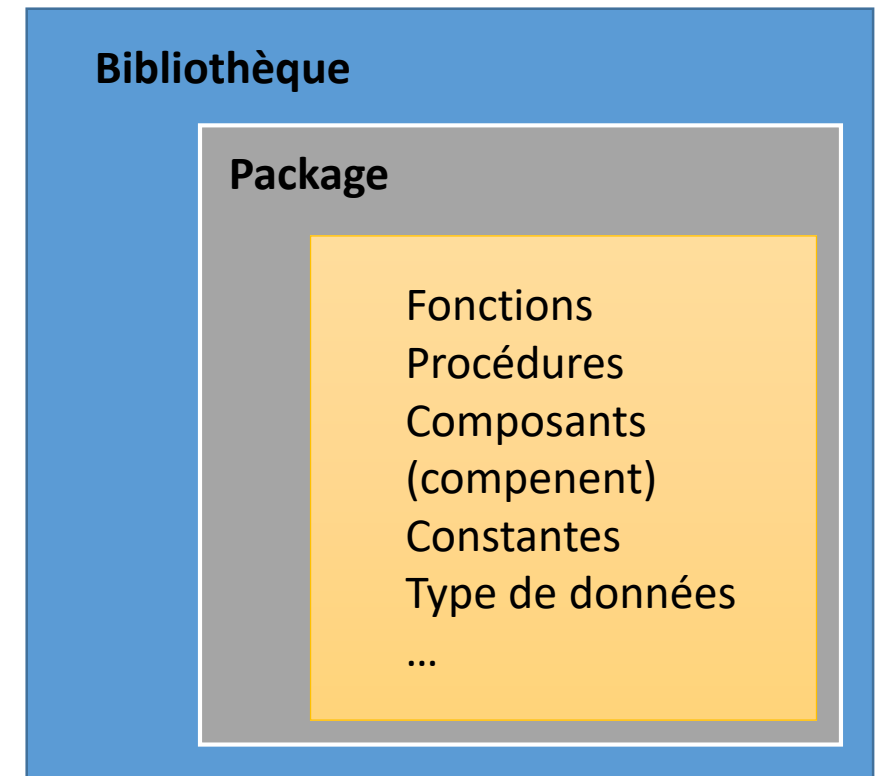
Library ieee; - - déclaration de la bibliothèque

Use ieee.std_logic_1164.all; -- déclaration du 1er package

Use ieee.std_logic_arith.all; -- déclaration du 2eme package

Le ';' indique la fin de l'instruction

Les '- -' indique un commentaire



Structure d'une bibliothèque

Le langage VHDL

La structure d'un code VHDL : Déclaration de l'entité (Entity)

Définition :

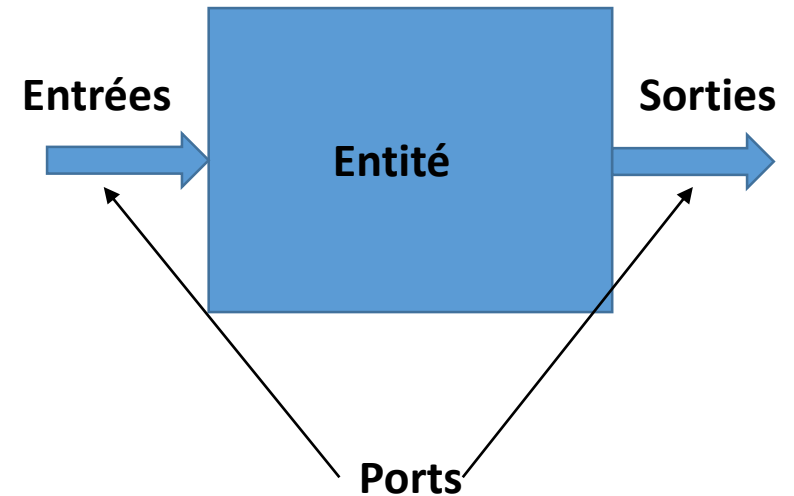
C'est une partie du code VHDL contenant les spécifications de toutes les entrées et les sorties (ports) du circuit.

La syntaxe :

```
Entity nom_entity is  
Port (  
  Nom_du_port : mode_du_signal type_du_signal;  
  ...  
  Nom_du_port : mode_du_signal type_du_signal  
);  
End nom_entity;
```

Exemple:

```
Entity and_gate is  
Port(  
  A,B: IN BIT;  
  C: OUT BIT  
);  
End and_gate;
```



Le langage VHDL

La structure d'un code VHDL : Déclaration de l'architecture (Architecture)

Définition :

L'architecture est une description du comportement du circuit (sa logique interne). Elle peut prendre n'importe quelle nom sauf les mots réservés au langage.

L'architecture se compose de deux parties:

1. la partie de déclaration: déclaration de signaux , constantes, variables..
2. la partie code qui commence par Begin et se termine par end nom_de_l_architecture;

Syntaxe:

Architecture nom_de_l_architecture **of** nom_entity **is**

-- Déclaration des signaux, variables...

Begin

-- code

End nom_de_l_architecture;

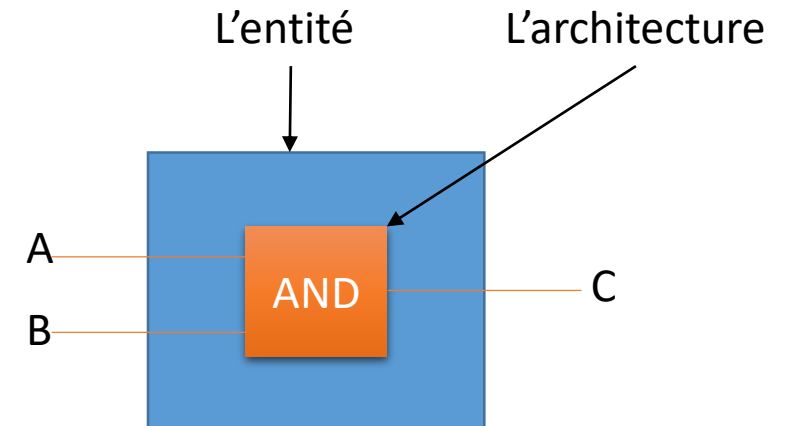
Exemple

Architecture comportement **of** and_gate **is**

Begin

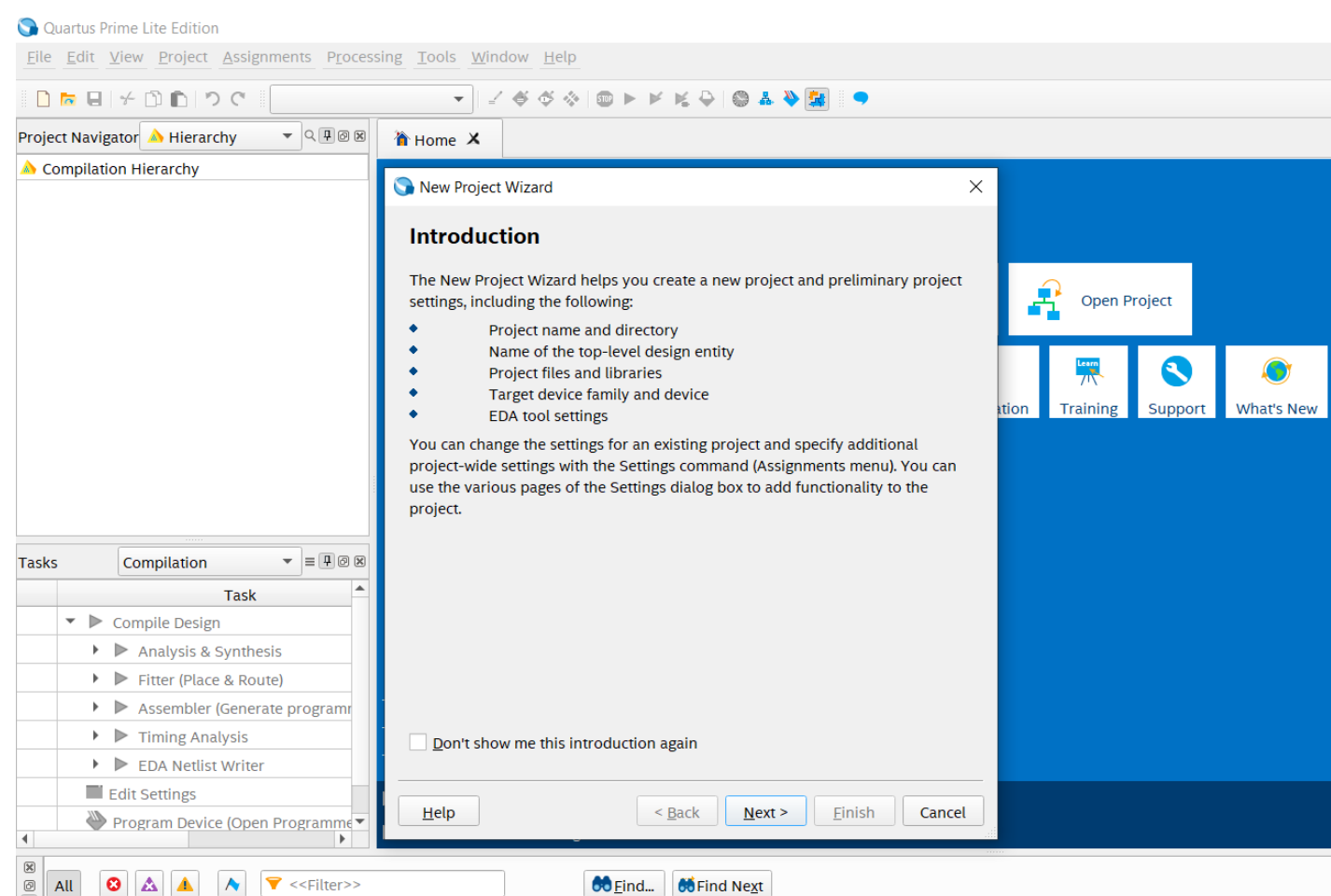
$C \leq A \text{ and } B;$

End comportement;

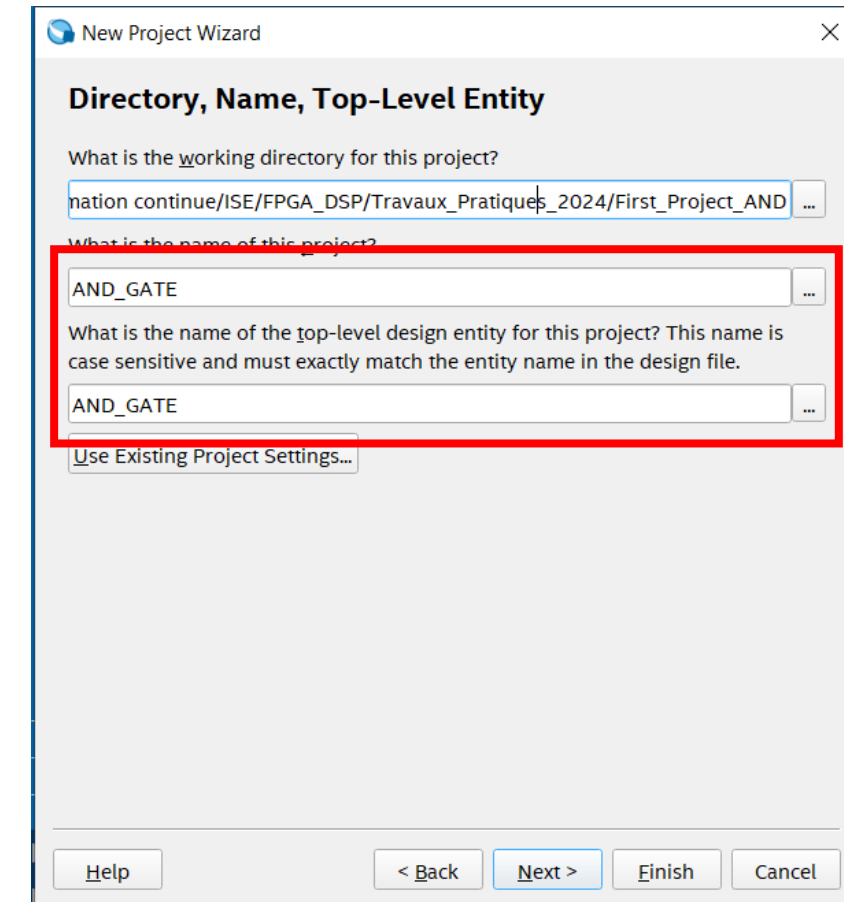


Le langage VHDL

1. Lancer Quartus Prime Lite Edition
2. Choisir File_New_Project
3. Cliquer sur Next
4. Choisir un emplacement et donner un nom à votre projet



Le nom du projet doit être le même que le nom de l'entité



Le langage VHDL

- 1. Choisir la famille : Cyclone IV E
- 2. Choisir la référence EP4CE6E22C8
- 3. Cliquer sur Next puis Finish
- 4. Aller vers File et cliquer sur New
- 5. Sélectionner VHDL File
- 6. Cliquer sur OK

New Project Wizard

Family, Device & Board Settings

Device Board

Select the family and device you want to target for compilation.
You can install additional device support with the Install Devices command on the Tools menu.

Device family

Family: Cyclone IV E

Device: All

Show in 'Available devices' list

Package: Any

Pin count: Any

Target device

Auto device selected by the Fitter

Specific device selected in 'Available devices' list

Other: n/a

Available devices:

Name	Core Voltage	LEs	Total I/Os	GPIOs	Memory Bits	Embedded multiplier 9-bit elements	PLL
EP4CE6E22A7	1.2V	6272	92	92	276480	30	2
EP4CE6E22C6	1.2V	6272	92	92	276480	30	2
EP4CE6E22C7	1.2V	6272	92	92	276480	30	2
EP4CE6E22C8	1.2V	6272	92	92	276480	30	2
EP4CE6E22C8L	1.0V	6272	92	92	276480	30	2
EP4CE6E22C9L	1.0V	6272	92	92	276480	30	2

Help

< Back Next > Finish Cancel

New Project Wizard

Summary

When you click Finish, the project will be created with the following settings:

Project directory: D:/Formation continue/ISE/FPGA_DSP/Travaux_Pratiques_2024/First_Project_AND

Project name: AND_GATE

Top-level design entity: AND_GATE

Number of files added: 0

Number of user libraries added: 0

Device assignments:

Design template: n/a

Family name: Cyclone IV E

Device: EP4CE6E22C8

Board: n/a

EDA tools:

Design entry/synthesis: <None> (<None>)

Simulation: Questa Intel FPGA (Verilog HDL)

Timing analysis: 0

Operating conditions:

VCCINT voltage: 1.2V

Junction temperature range: 0-85 °C

ue/ISE/FPGA_DSP/Travaux_Pratiques_2024/First_Project_AND/AND_GATE - AND_GATE

ssing Tools Window Help

< Back Next > Finish Cancel

Cyclone IV E: EP4CE6E22C8

AND_GATE

Tasks

Compilation

Task

Compile Design

Analysis & Synthesis

Fitter (Place & Route)

Assembler (Generate program...

Timing Analysis

EDA Netlist Writer

Edit Settings

New

New Quartus Prime Project

Design Files

AHDL File

Block Diagram/Schemati...

EDIF File

Qsys System File

State Machine File

SystemVerilog HDL File

Verilog HDL File

Memory Files

Hexadecimal (Intel-Form...

Memory Initialization File

Verification/Debugging Files

In-System Sources and ...

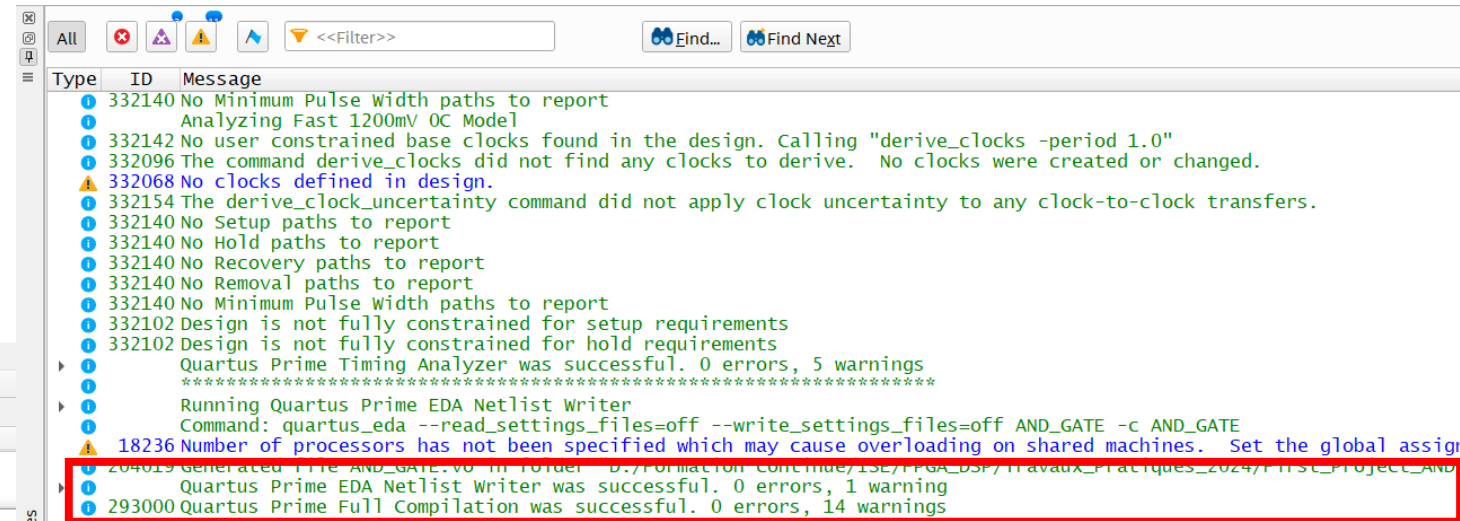
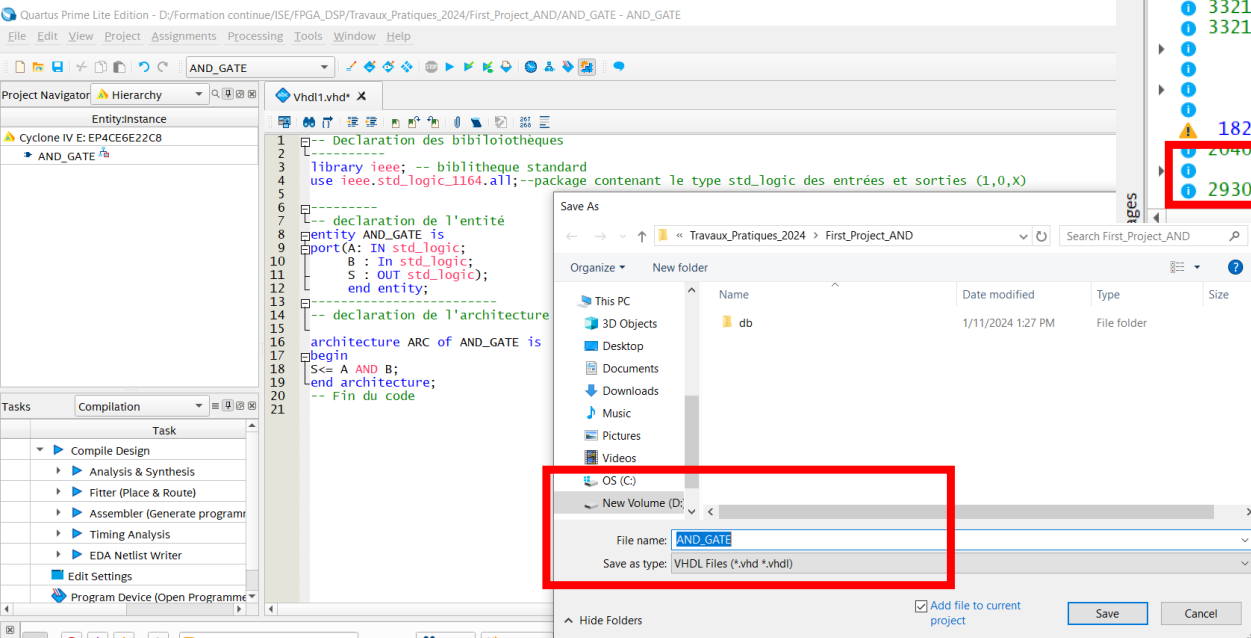
Logic Analyzer Interface ...

Signal Tan Logic Analvze...

OK Cancel Help

Le langage VHDL

1. Saisir le code correspondant à la porte AND
2. Enregistrer le fichier avec le même nom que l'entité
3. Lancer la compilation
4. Vous devez avoir un message indiquant que la compilation a été effectuée avec succès



- 1. Cliquer sur Pin Planner et configurer les entrées et sorties de votre entité
- 2. Enregistrer et fermer la fenêtre

Pin Planner - D:/Formation continue/ISE/FPGA_DSP/Travaux_Pratiques_2024/First_Project_AND/AND_GATE - AND_GATE

File Edit View Processing Tools Window Help

Report

Report not available

Groups Report

Tasks

- Early Pin Planning
 - Early Pin Planning...
 - Run I/O Assignment
 - Export Pin Assignment
- Pin Finder...
- Highlight Pins
 - I/O Banks
 - VREF Groups
 - Edges

Top View

Wire Bond, with Exposed Pad

Cyclone IV E

EP4CE6E22C8

Pin Legend

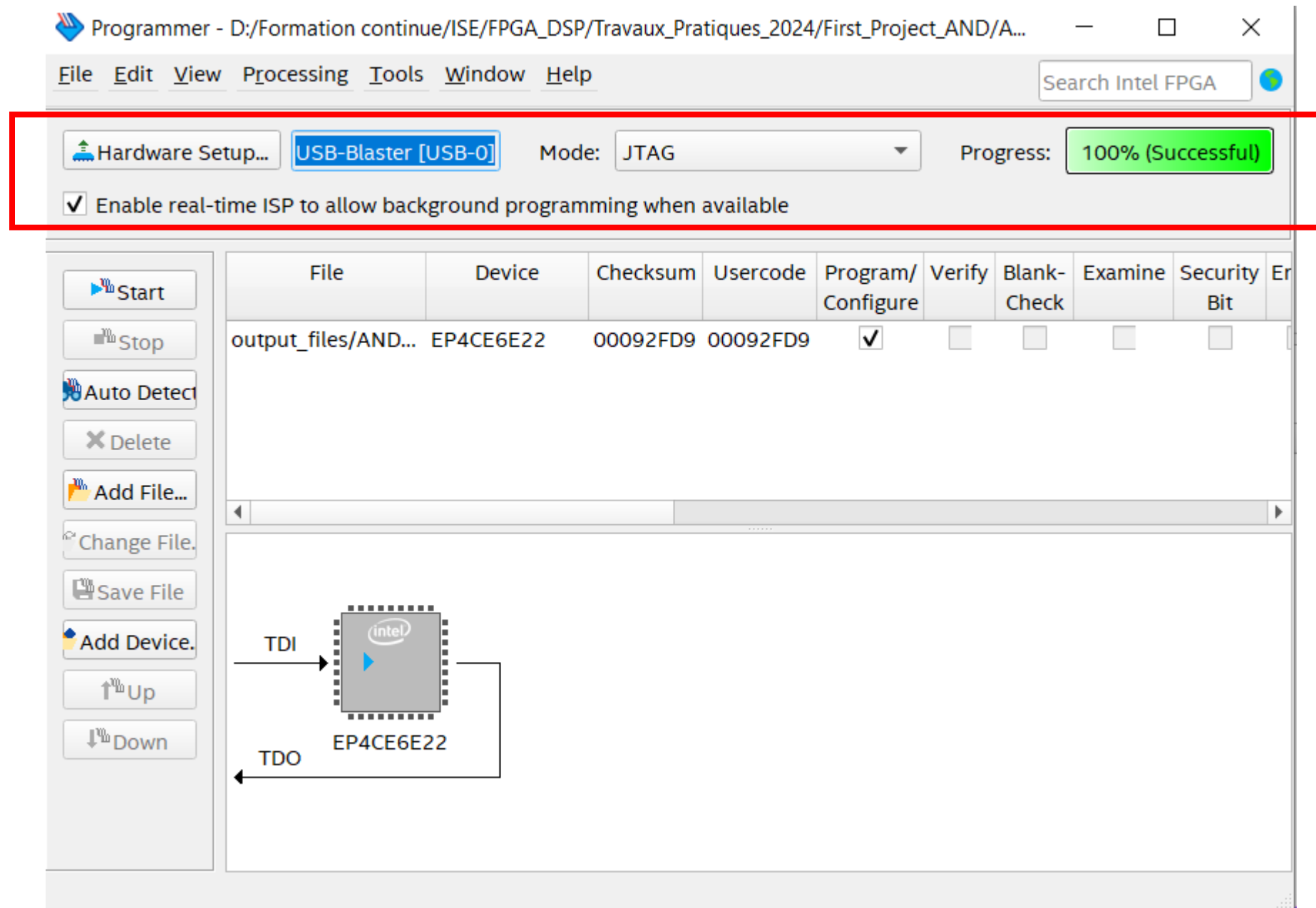
Search Intel FPGA

Symbol	Pin Type
○	User I/O
●	User assigned I...
●	Fitter assigned I...
○	Unbonded pad
○	Reserved pin
○	Other ...
C	DEV_OE
E	DEV_CLR
n	DIFF_n
p	DIFF_p
Q	DQ
S	DQS
L	CLK_n
L	CLK_p
L	Other PLL
D	Other dual ...
0	MSEL0
1	MSEL1
2	MSEL2
D	CONF_DONE
E	nCE
F	nCONFIG
I	TDI
K	TCK
M	TMS
O	TDO

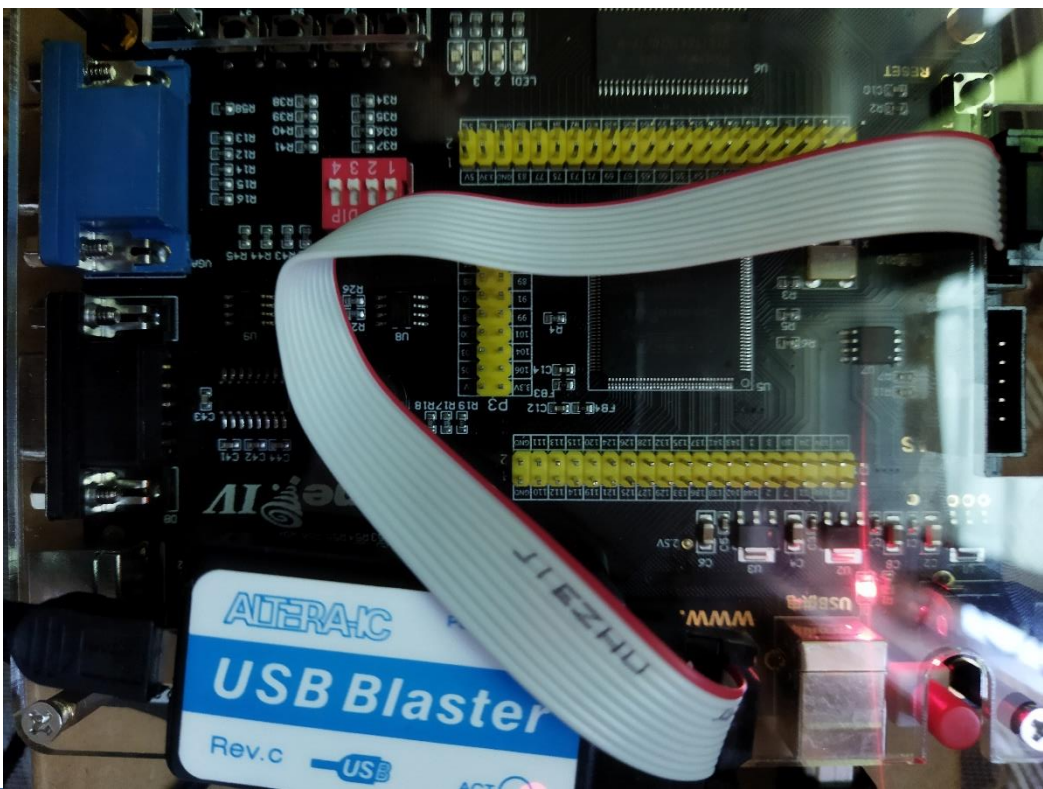
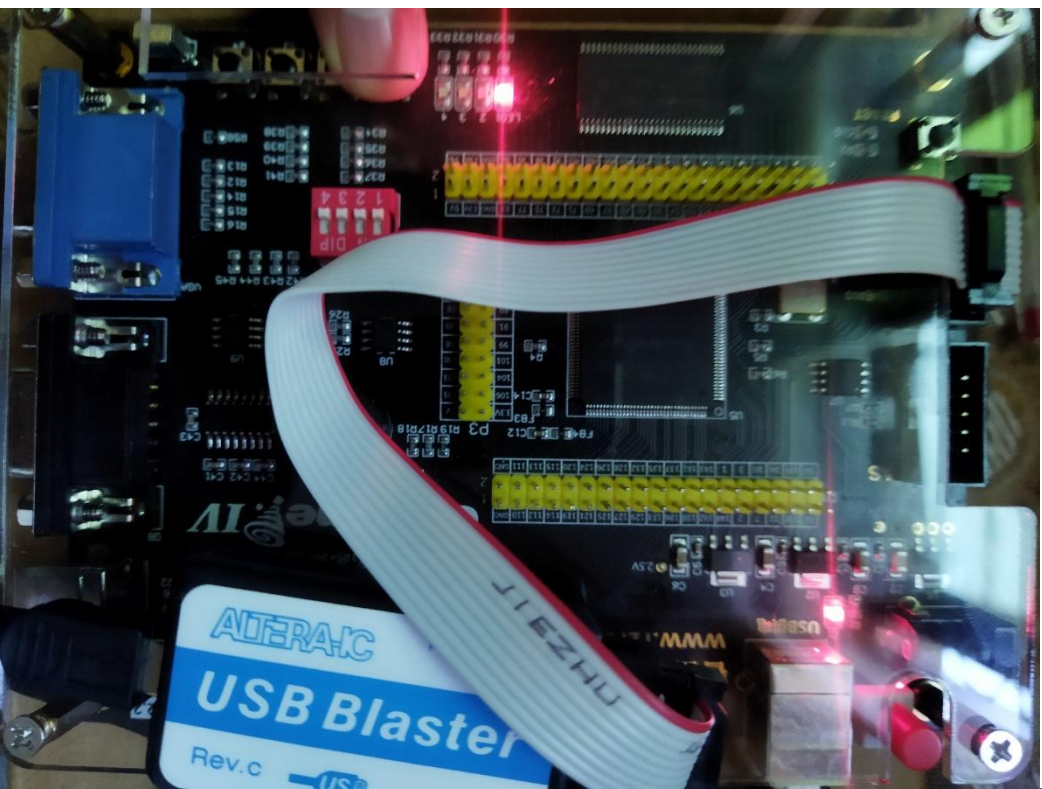
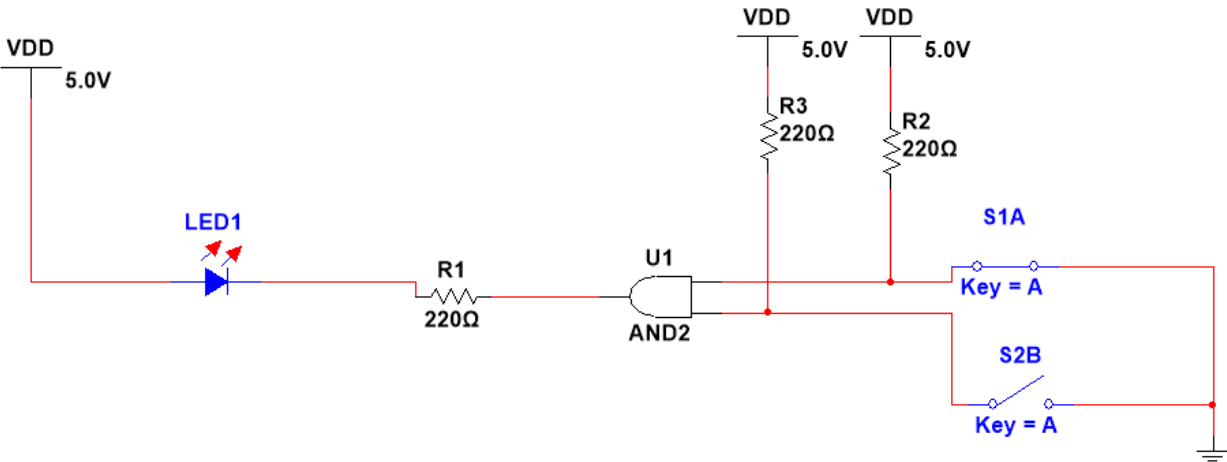
Named: * Edit

Node Name	Direction	Location	I/O Bank	VREF Group	Fitter Location	I/O Standard	Reserved	Current Strength	Slew Rate	Differential Pair	Strict Preservation
A	Input	PIN_88	5	B5_N0	PIN_88	2.5 V		8mA (default)			
B	Input	PIN_89	5	B5_N0	PIN_89	2.5 V		8mA (default)			
S	Output	PIN_87	5	B5_N0	PIN_87	2.5 V		8mA (default)	2 (default)		
<<new node>>											

1. Cliquer sur programmer
2. Cliquer sur Hardware Setup et choisir USB-Blaster
3. Cliquer sur Start
4. Vous devez avoir le message 100% successful



1. La LED s'allume si au moins une des entrées est à zéro. Dans ce cas, la LED sera connectée à la masse



1. PIN PLANNER

RESET button	25
FPGA_CLK	23
Keys	Pin number
KEY1	88
KEY2	89
KEY3	90
KEY4	91
Buzzer	Pin number
beep	110

Digital tube	Pin number
DIG1	133
DIG2	135
DIG3	136
DIG4	137
SEG0	128
SEG1	121
SEG2	125
SEG3	129
SEG4	132
SEG5	126
SEG6	124
SEG7	127

1. PIN PLANNER

Dial switch	Pin number	LCD 1602 12864	Pin number	UART	Pin number
ckey1	88	LCD1 RS	141	UART_TXD	114
ckey2	89	LCD2 RW	138	UART_RXD	115
ckey3	90	LCD3 E	143		
ckey4	91	LCD4 D0	142	IIC	Pin number
		LCD5 D1	1	SCL	112
		LCD6 D2	144	SDA	113
LED	Pin number	LCD7 D3	3	I2C_SCL	99
led1	87	LCD8 D4	2	I2C_SDA	98
led2	86	LCD9 D5	10		
led3	85	LCD10 D6	7	PS2	
led4	84	LCD11 D7	11	PS_CLOCK	119
				PS_DATA	120
				IR	
				IR	100