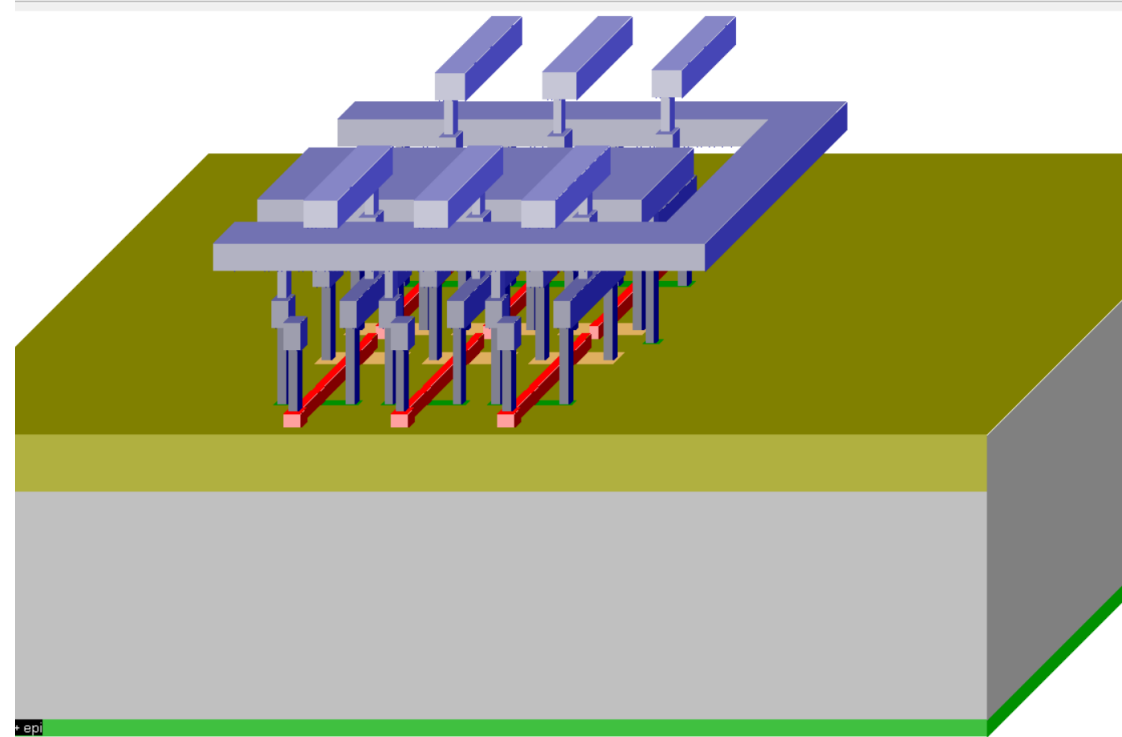
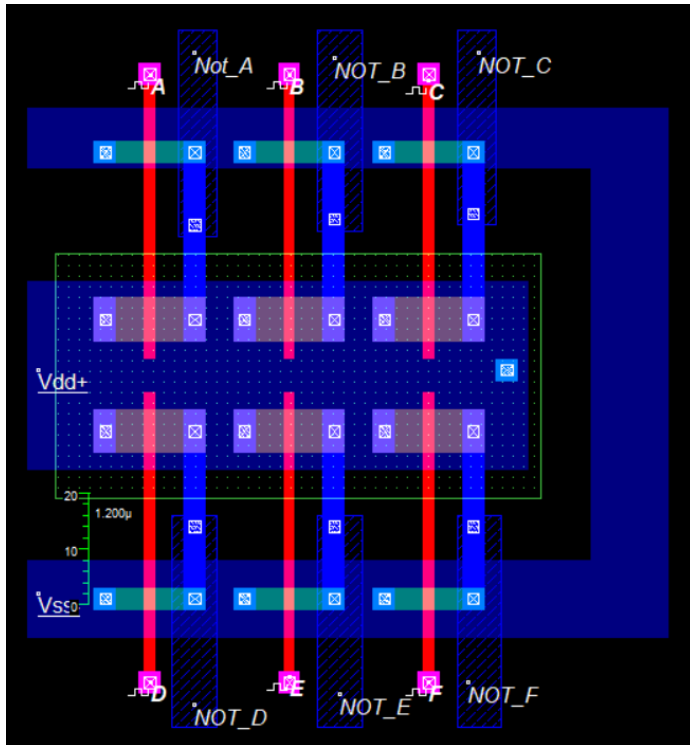


Conception et fabrication des microsystèmes



Chapitre 3: Conception de l'inverseur CMOS

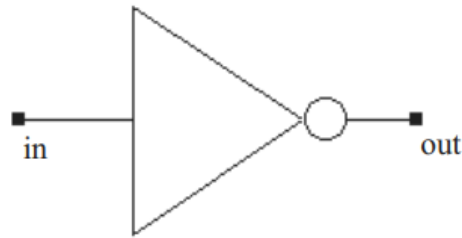
Chapitre 3: Conception de l'inverseur CMOS

Les **inverseurs** jouent un rôle essentiel dans les microsystèmes numériques et analogiques. Voici leurs principales fonctions:

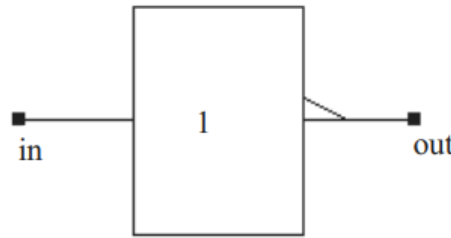
- **Commutation logique:** il change d'état de la sortie en fonction de l'état de l'entrée
- **Buffers logiques:** Par exemple, deux inverseurs en série reproduisent le signal d'entrée avec une meilleure qualité et moins de distorsion
- **Amplification des signaux:** Dans les microsystèmes analogiques, les inverseurs CMOS peuvent être utilisés comme **amplificateurs** dans des configurations spécifiques, où ils amplifient des signaux faibles proches de leurs seuils de commutation
- Génération des signaux d'horloges
- Isolation entre les niveaux logiques
-23-11-24

Chapitre 3: Conception de l'inverseur CMOS

L'inverseur est probablement la cellule logique de base la plus importante dans la conception de circuits intégrés.



Ancien Symbole



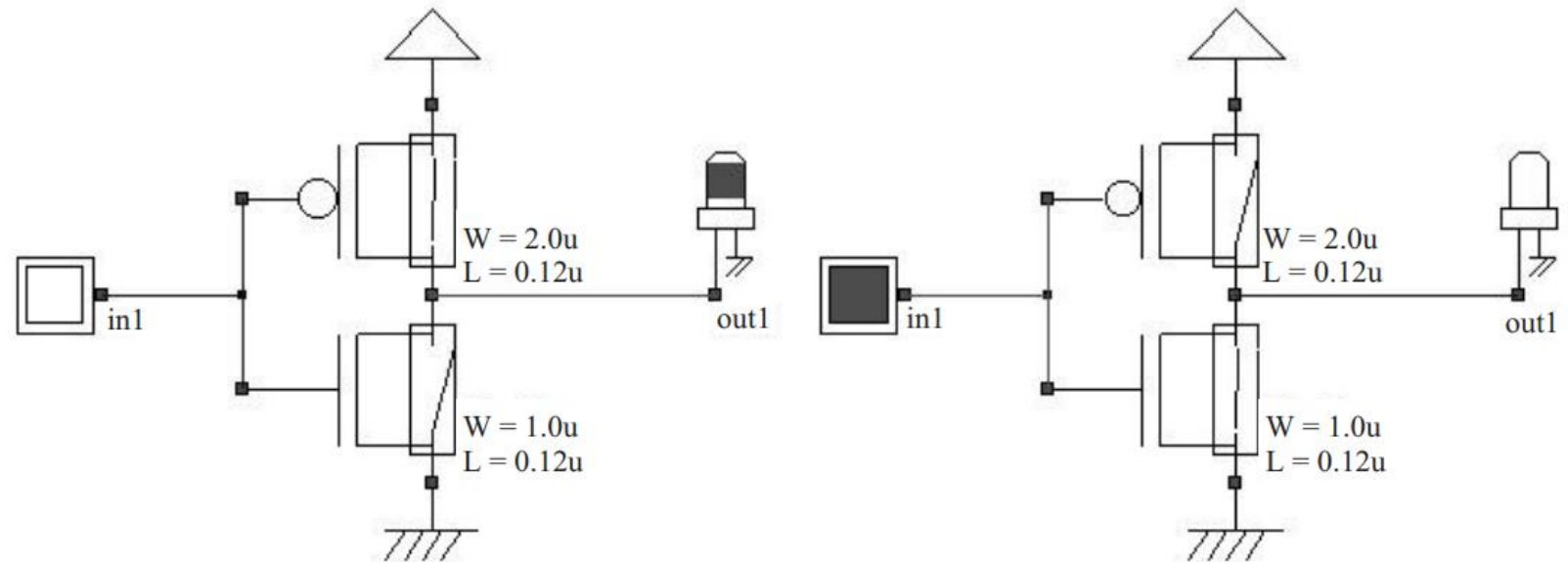
Symbole IEEE

In	Out
0	1
1	0
X	X

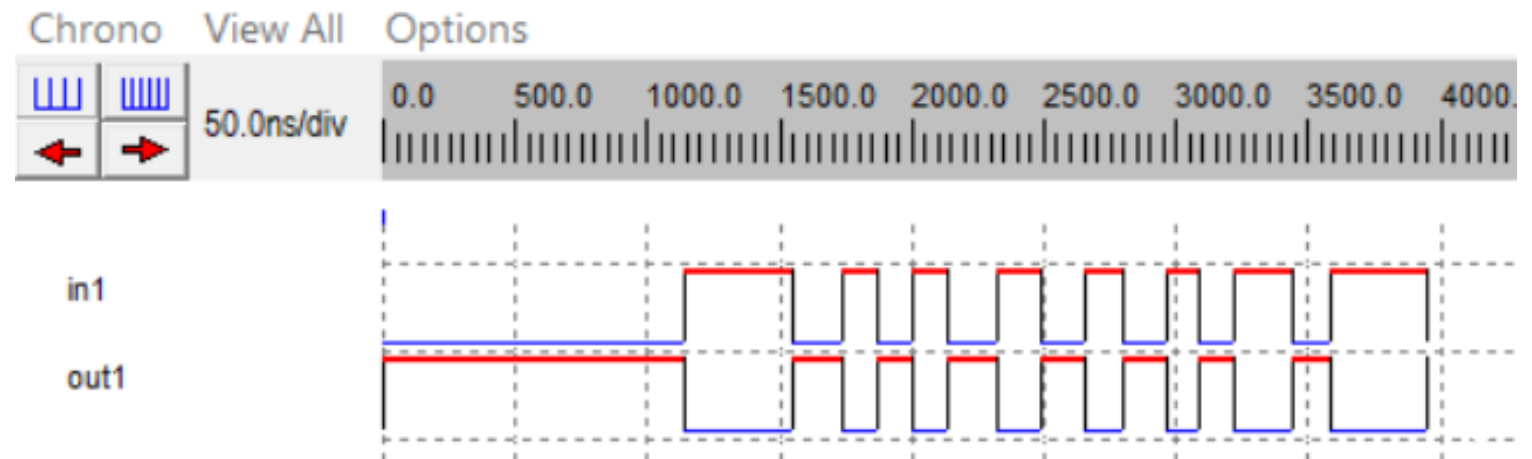
- Dans la table de vérité, le symbole 0 représente 0,0 V tandis que 1 représente l'alimentation logique, soit 1,2 V en 0,12 μm .
- Le symbole X signifie "indéfini".
- Cet état est équivalent à une tension indéfinie, tout comme dans le cas d'un nœud d'entrée flottant sans aucune connexion d'entrée.

Chapitre 3: Conception de l'inverseur CMOS

- Un transistor MOS à canal p et un transistor MOS à canal n sont utilisés comme commutateurs.
- Notez que la taille de chaque appareil est tracée (W représente la largeur, L pour la longueur).
- La largeur de canal pour les pMOS est fixée à deux fois la largeur du canal pour les nMOS.



Timing diagrams of example



Chapitre 3: Conception de l'inverseur CMOS

Utiliser la même largeur de canal par défaut (**0,6 μm en CMOS 0,12 μm**) pour nMOS et pMOS n'est pas la meilleure idée, car **le MOS à canal p commute la moitié du courant du MOS à canal n**. L'origine de ce décalage peut être vue dans l'expression générale du courant délivré par les MOS à canal n et les MOS à canal p

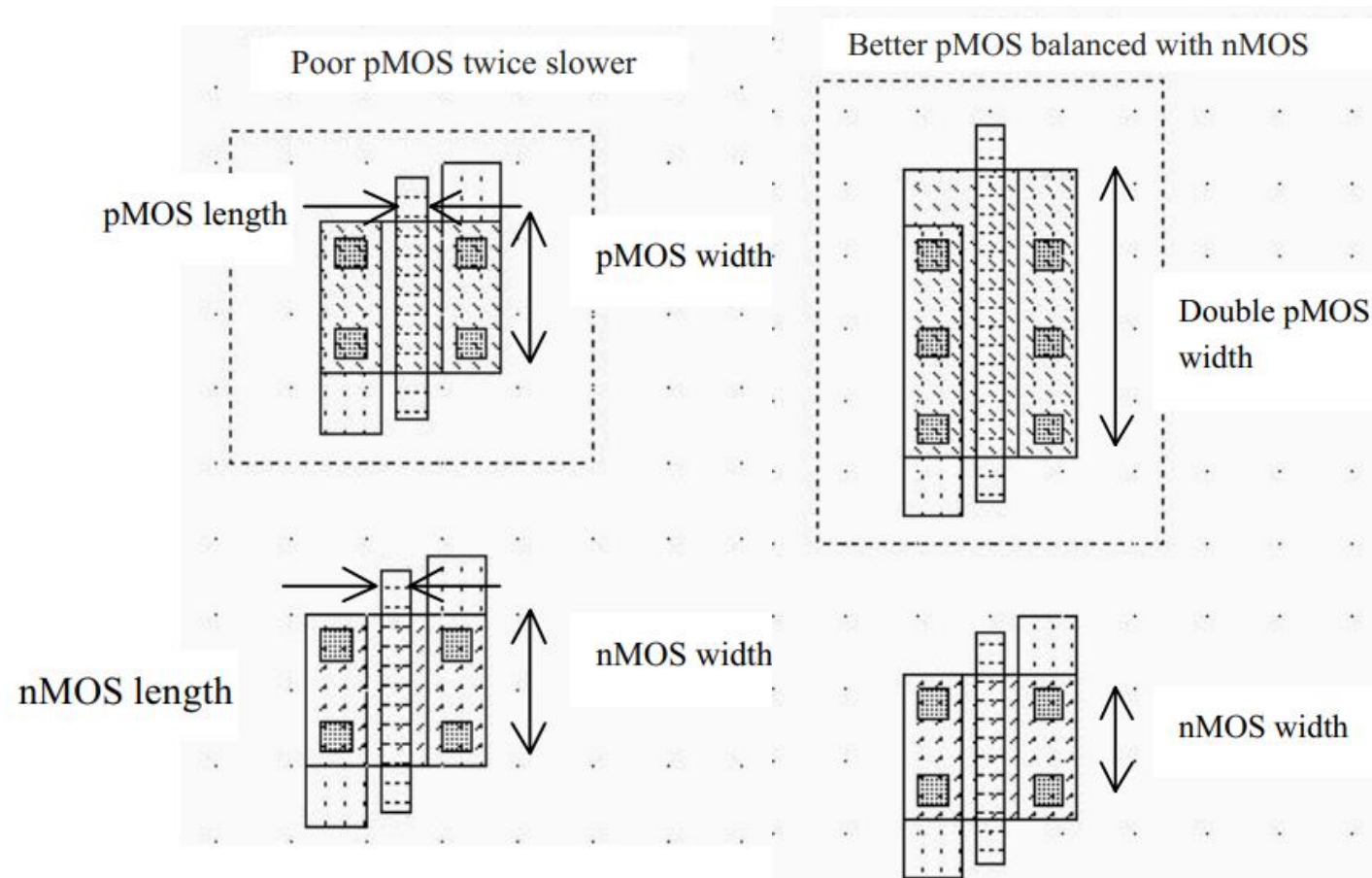
$$I_{ds}(Nmos) \approx \epsilon_0 \epsilon_r \frac{\mu_n}{TOX} \frac{W_{Nmos}}{L_{Nmos}} f(V_d, V_g, V_s, V_b)$$

$$I_{ds}(Pmos) \approx \epsilon_0 \epsilon_r \frac{\mu_p}{TOX} \frac{W_{Pmos}}{L_{Pmos}} f(V_d, V_g, V_s, V_b)$$

$$\mu_n = 0.068 \text{ m}^2/\text{v.s} \quad \text{for electrons}$$

$$\mu_p = 0.025 \text{ m}^2/\text{v.s} \quad \text{for holes}$$

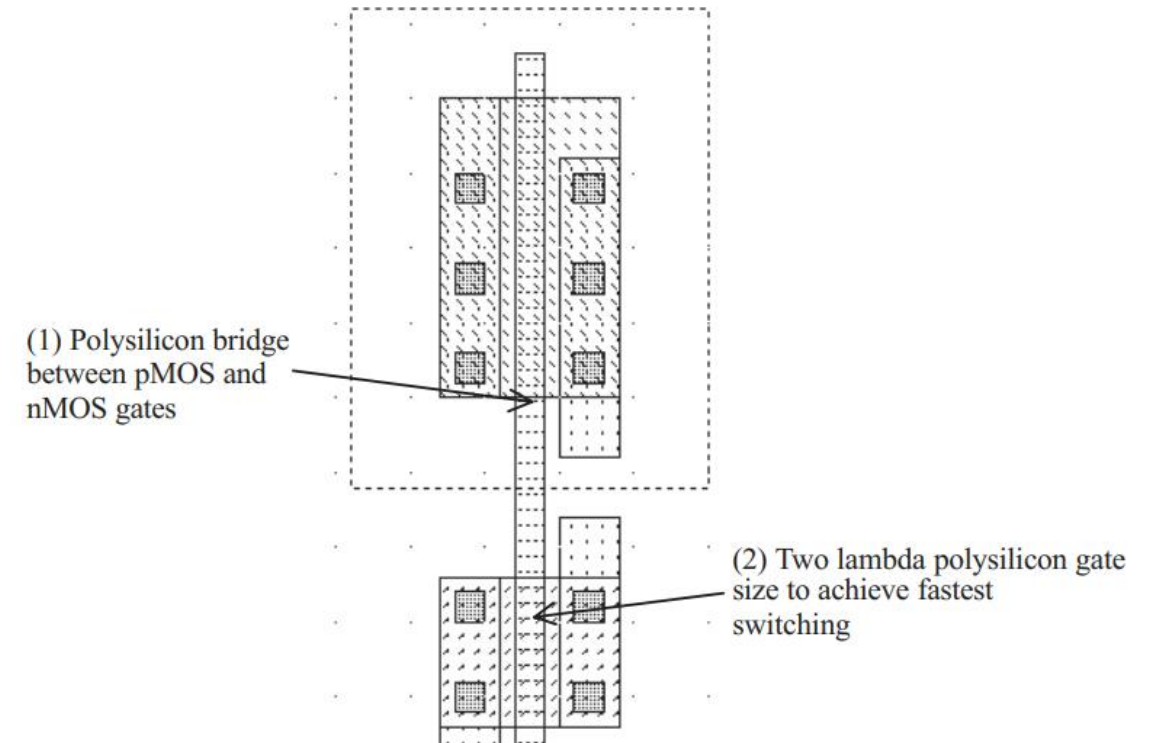
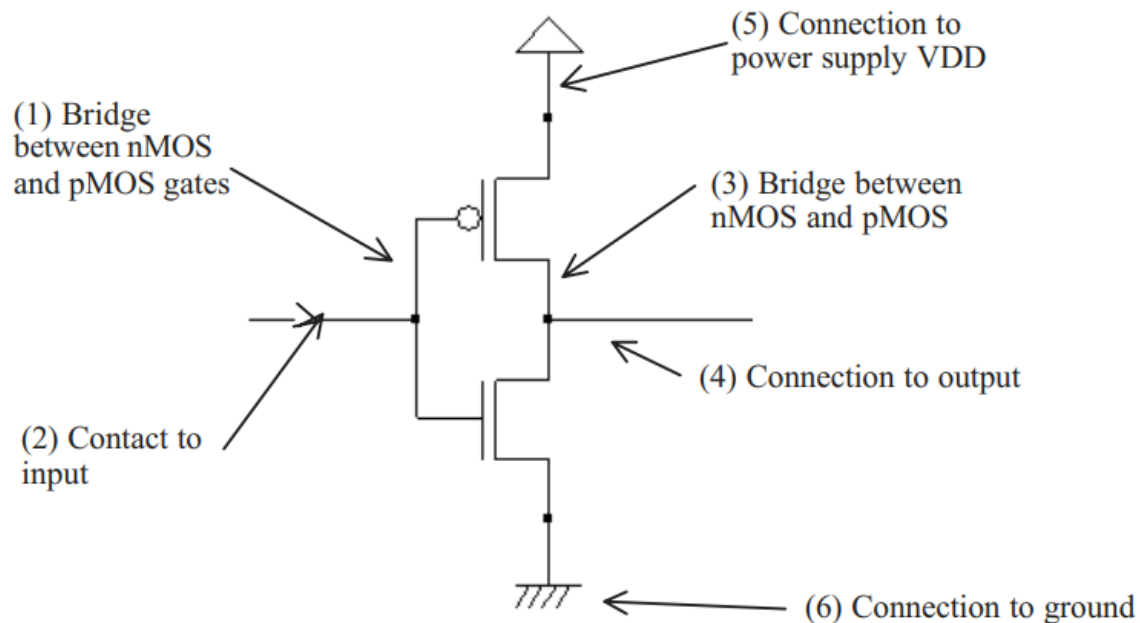
- Le courant délivré par le dispositif MOS à canal n est plus de deux fois supérieur à celui du MOS à canal p.
- L'inverseur est conçu avec des courants équilibrés pour éviter des écarts de commutation importants.
- Le passage de 0 à 1 devrait prendre environ le même temps que le passage de 1 à 0.



Chapitre 3: Conception de l'inverseur CMOS

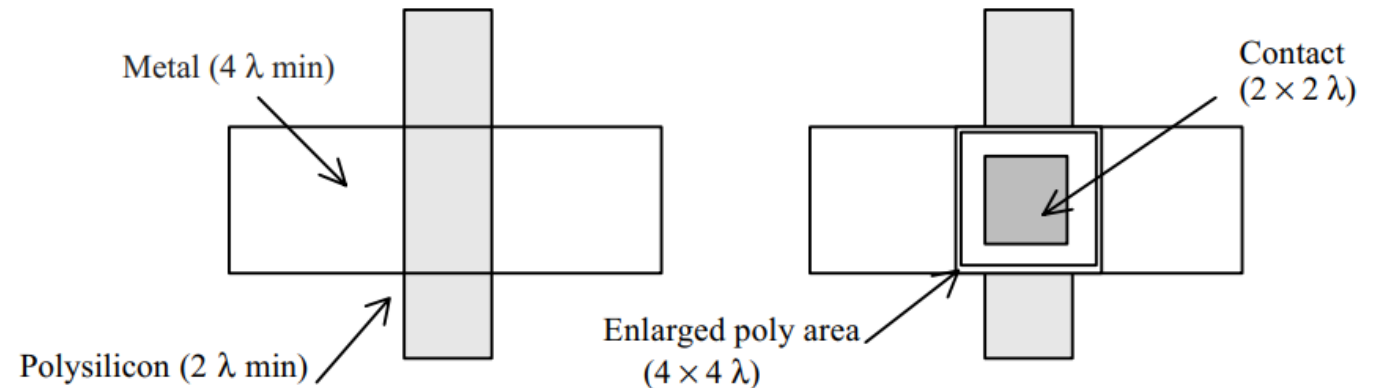
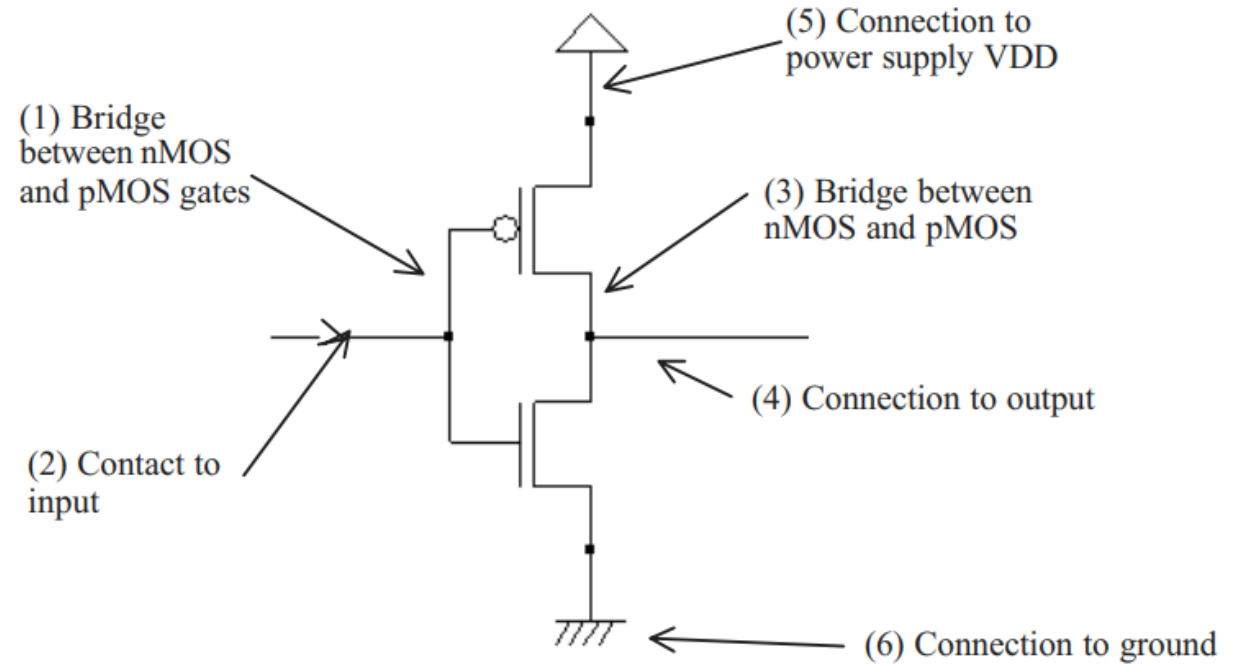
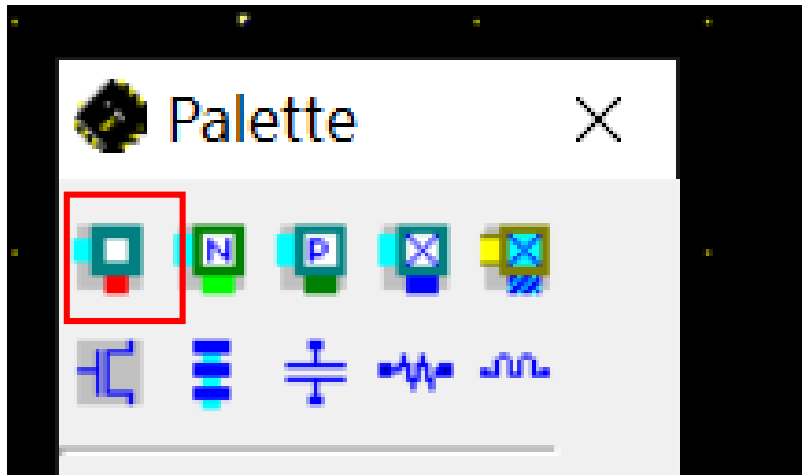
Utilisation du métal et du polysilicium

- Dans les cellules CMOS, le **métal** et le **polysilicium** sont utilisés comme interconnexions pour les signaux.
- Le métal est un meilleur conducteur que le **silicium polycristallin**.
- Le silicium polycristallin n'est utilisé que pour interconnecter des grilles, comme le pont (1) entre les portes pMOS et nMOS, comme décrit dans le schéma de principe de la figure.
- Le polysilicium est rarement utilisé pour les interconnexions longues, sauf si une valeur de résistance énorme est attendue.



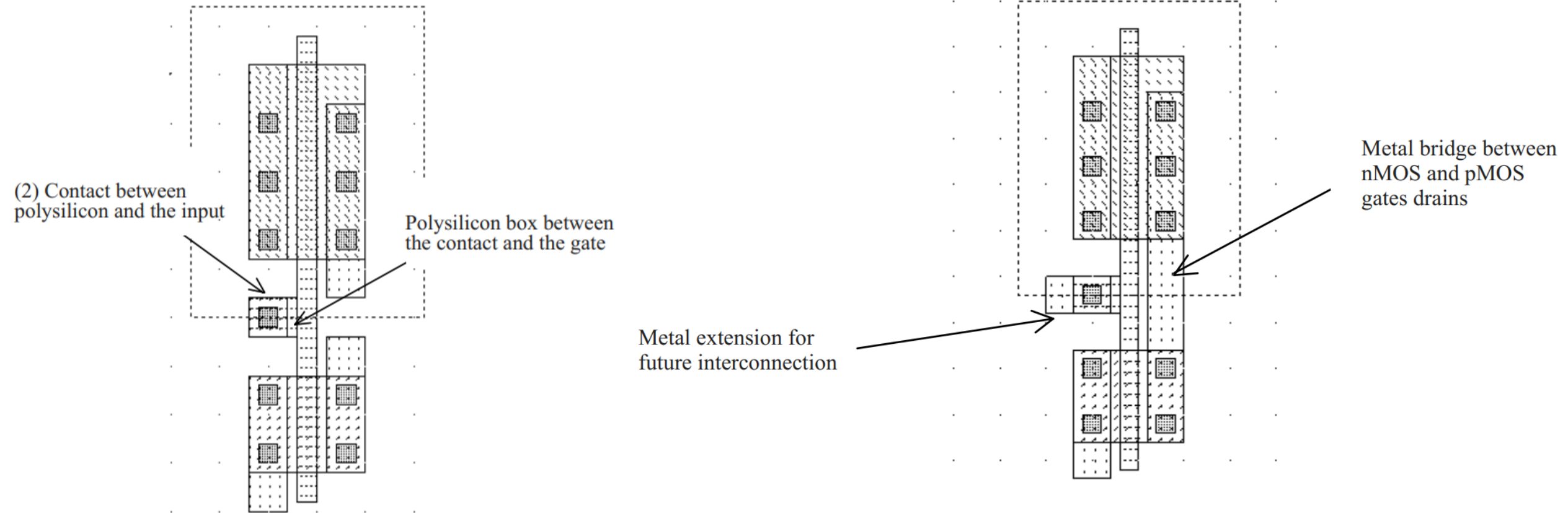
Chapitre 3: Conception de l'inverseur CMOS

- Le métal est préféré pour interconnecter les signaux et les alimentations.
- Le métal et le polysilicium** sont séparés par un oxyde qui empêche les connexions électriques. Par conséquent, une boîte de métal dessinée à travers une boîte de polysilicium ne permet pas une connexion électrique.
- Pour établir une connexion électrique, un contact physique est nécessaire.



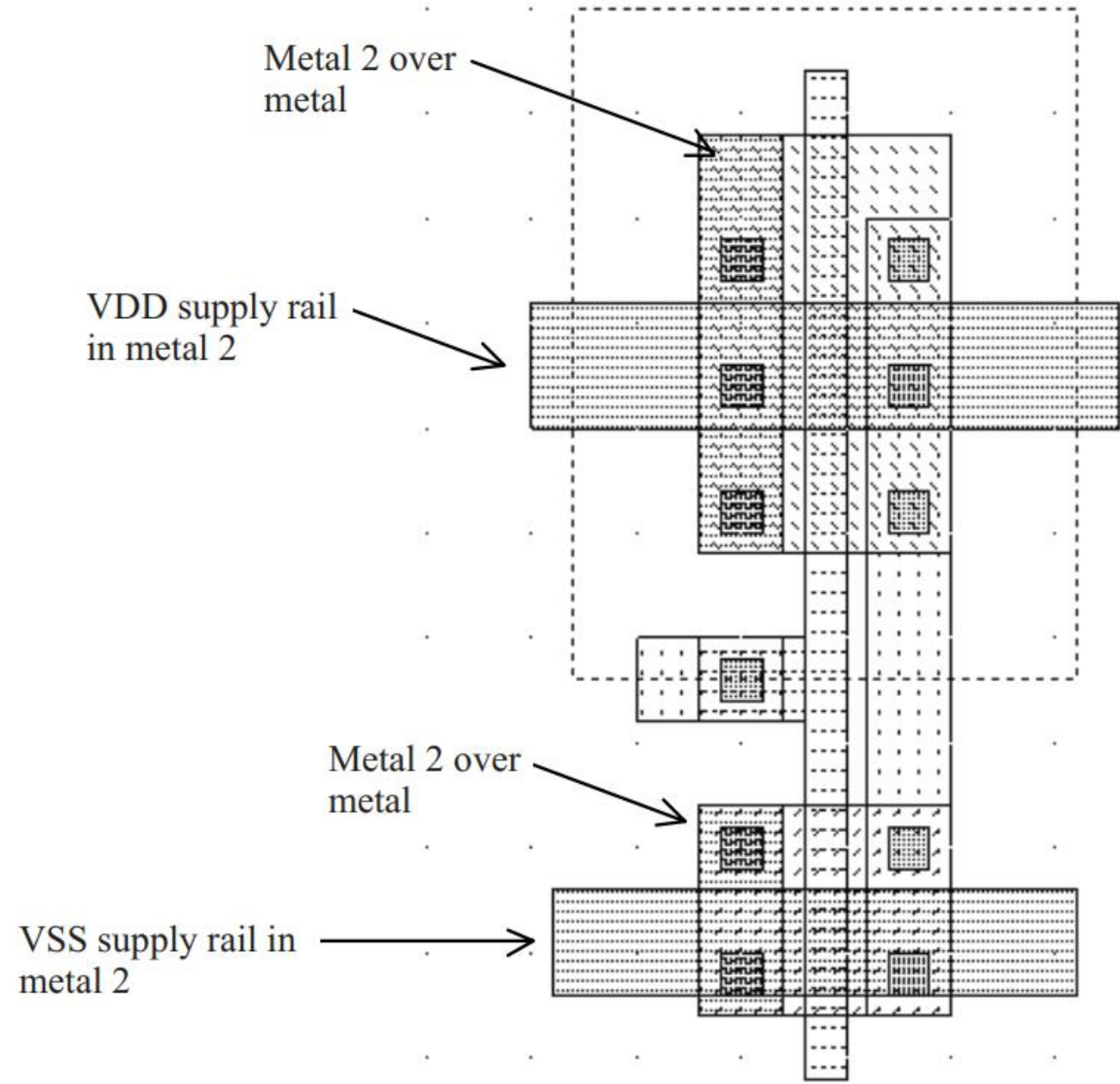
Chapitre 3: Conception de l'inverseur CMOS

- Une partie de polysilicium est ajoutée dans laquelle on insère un contact
- Le métal est aussi utilisé pour la connexion entre le drain et la source des transistors

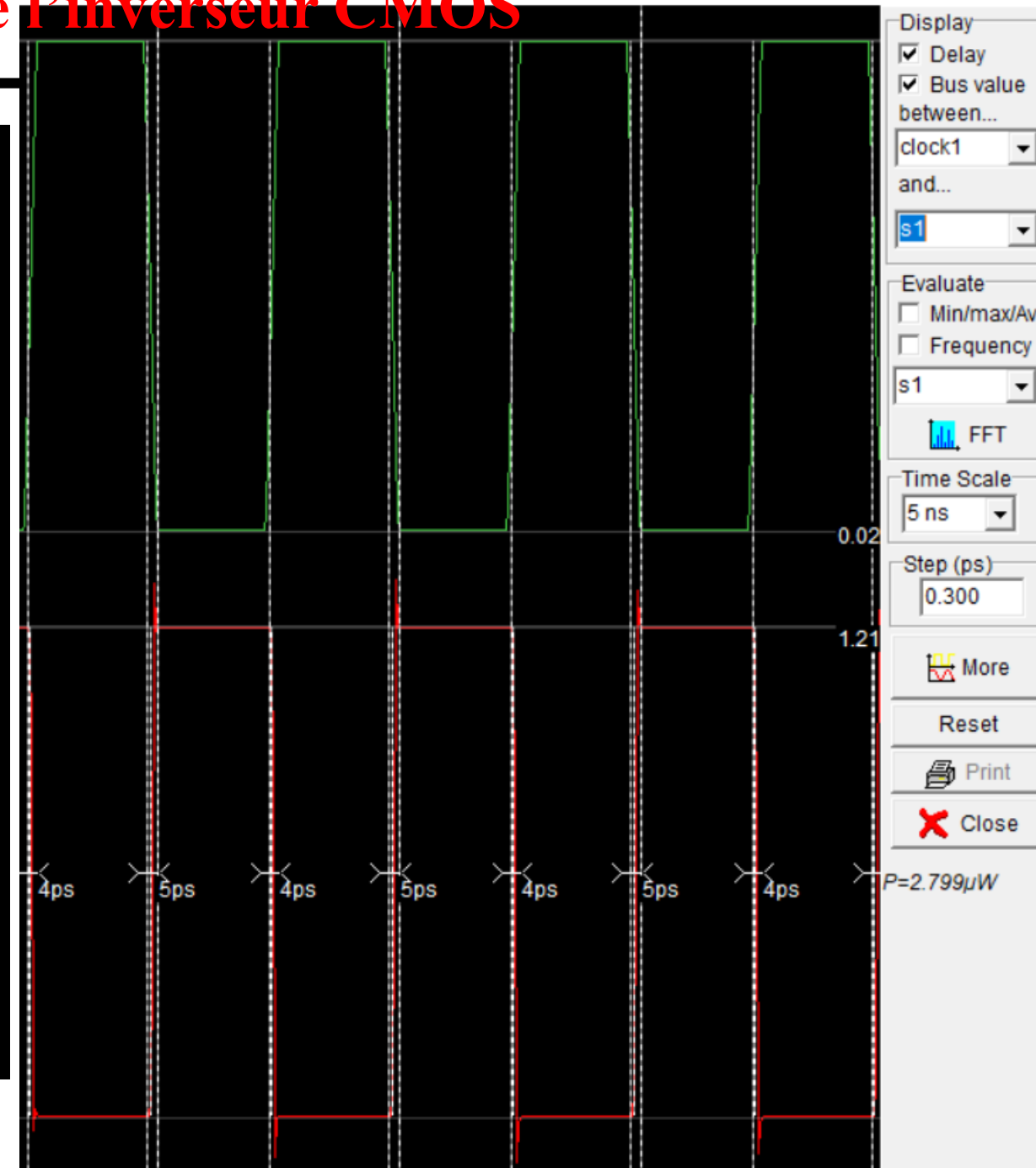
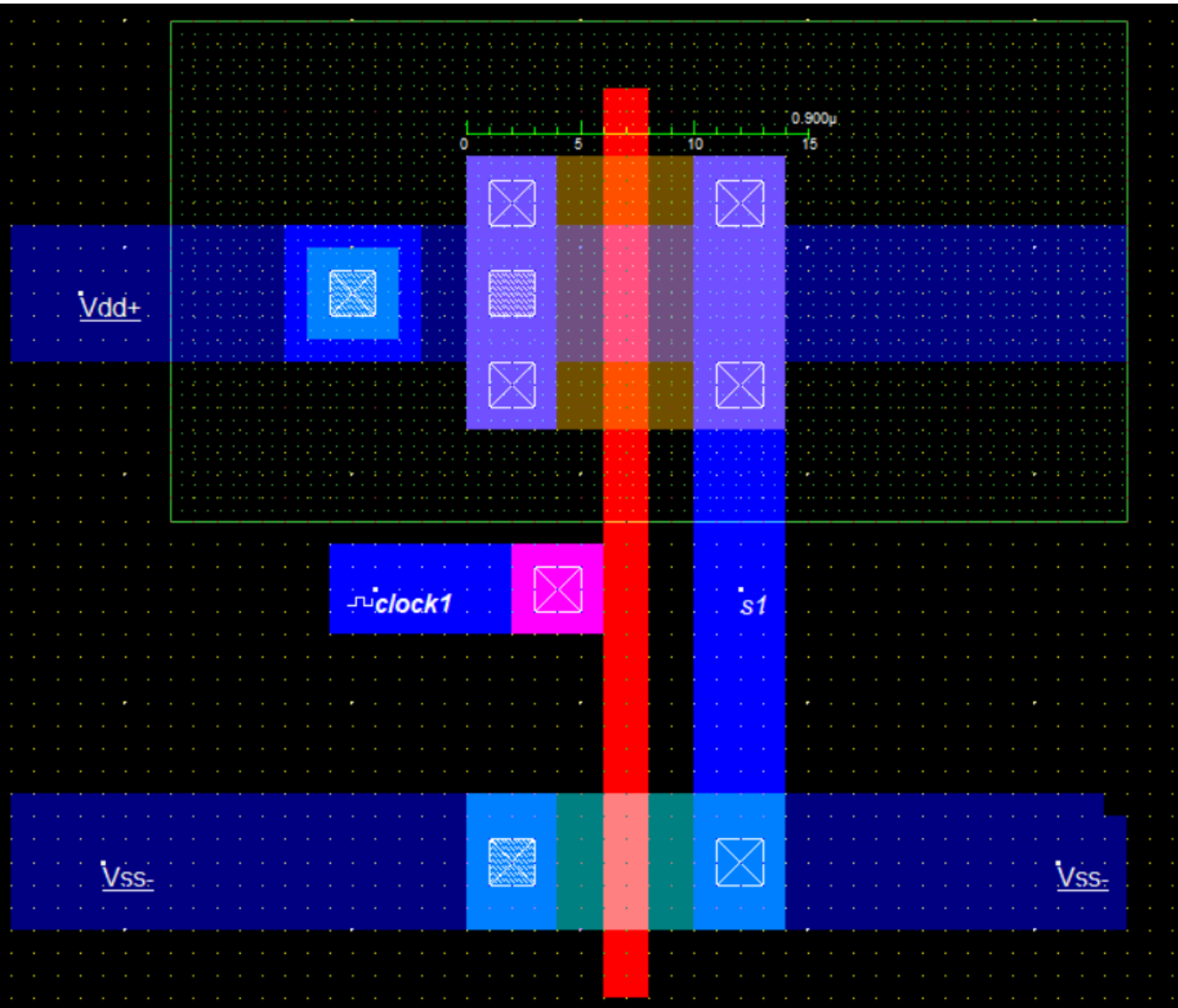


Chapitre 3: Conception de l'inverseur CMOS

- L'étape suivante consiste à ajouter l'alimentation du circuit (VDD et VSS)
- VDD est le niveau logique haut (1.2V dans le cas de la technologie 0.12 μ m)
- VSS est le niveau logique bas 0V
- On utilise une autre couche de métal (Metal 2 layer) dont la largeur est grande pour réduire la résistance et supporter un courant élevé
- **Les couches de métal sont isolées par une couche de dioxyde. Pour assurer la connexion on utilise un contact métal 1 vers Métal 2 (également appelé via)**

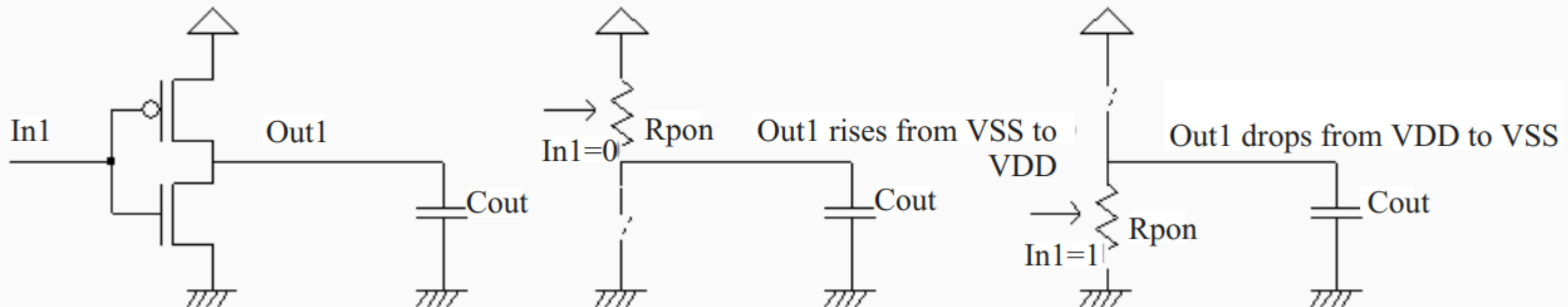


Chapitre 3: Conception de l'inverseur CMOS



Chapitre 3: Conception de l'inverseur CMOS

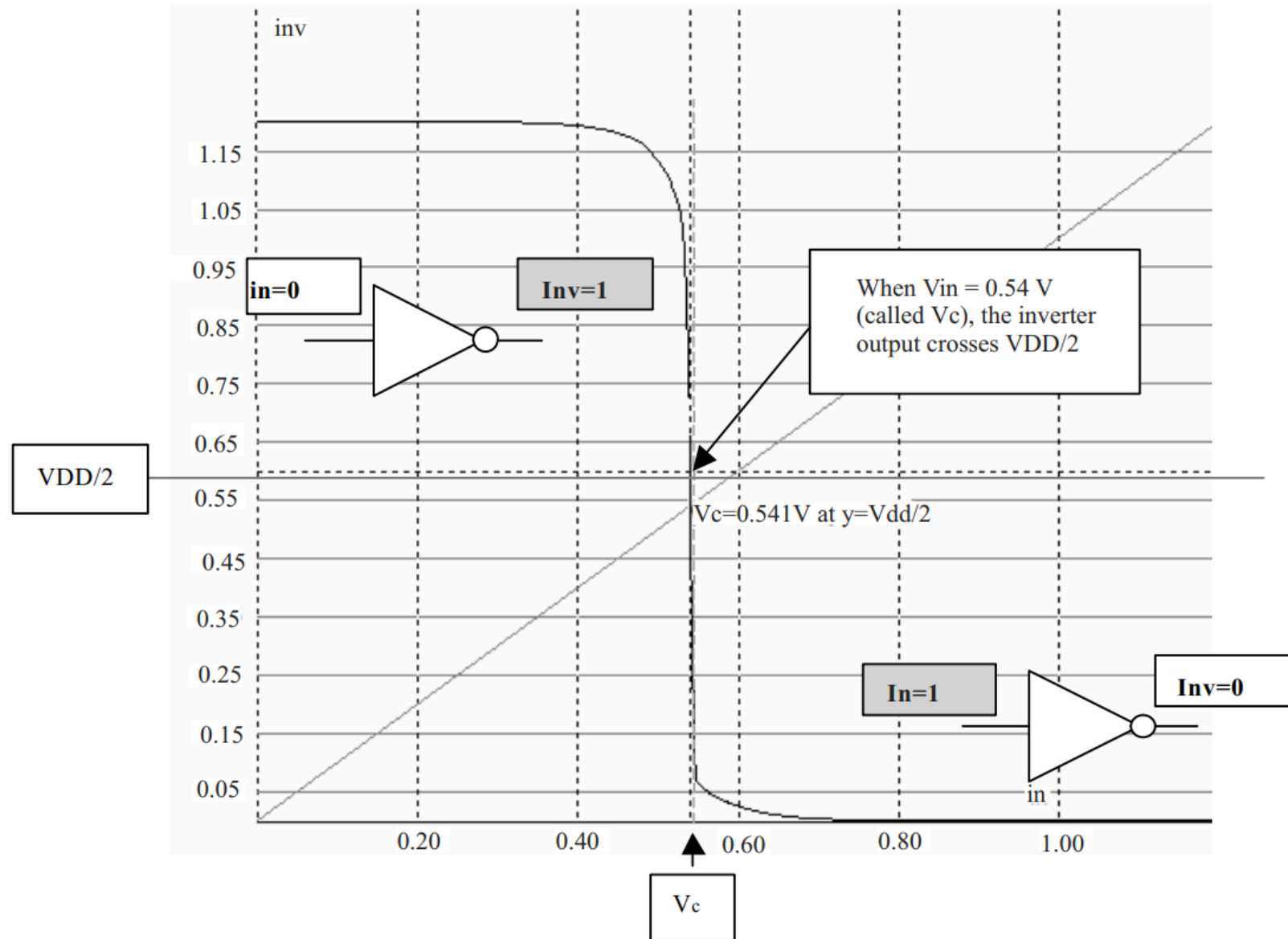
- Le comportement attendu est illustré à la Figure.
- Le phénomène de base est la charge et la décharge du condensateur parasite de sortie C_{out} (métal –métal).
- Lorsque $In1$ est égal à 0, le pMOS est allumé, et le condensateur C_{out} est chargé jusqu'à ce que sa tension monte à V_{DD} .
- Lorsque $In1$ est égal à 1, le nMOS est allumé, et le condensateur C_{out} est déchargé jusqu'à ce que sa tension atteigne V_{SS}



Chapitre 3: Conception de l'inverseur CMOS

Le point de commutation

- Lorsque V_{in} est bas, V_{out} est haut, ce qui correspond à un état logique de l'inverseur.
- Lorsque V_{in} augmente, V_{out} commence à diminuer lentement et franchit soudainement la limite **VDD/2**.
- A ce point, la valeur de V_{in} est le point de commutation de l'inverseur, appelé V_c .
- Puis, lorsque V_{in} monte à VDD, V_{out} atteint 0, ce qui correspond à l'autre état logique de l'inverseur



Chapitre 3: Conception de l'inverseur CMOS

Modification du point de commutation

- Pour modifier le point de commutation on peut agir sur les dimensions des MOSFETs

$$V_C = \frac{K \cdot V_{TN} + V_{DD} - V_{TP}}{1 + K} \quad K = \sqrt{\frac{\mu_n \frac{W_n}{L_n}}{\mu_p \frac{W_p}{L_p}}}$$

μ_n = mobility of electrons (600 V.cm^{-2})

μ_p = mobility of holes (270 V.cm^{-2})

W_n = n-channel MOS width (in μm)

L_n = n-channel MOS length (in μm)

W_p = p-channel MOS width (in μm)

L_p = p-channel MOS length (in μm)

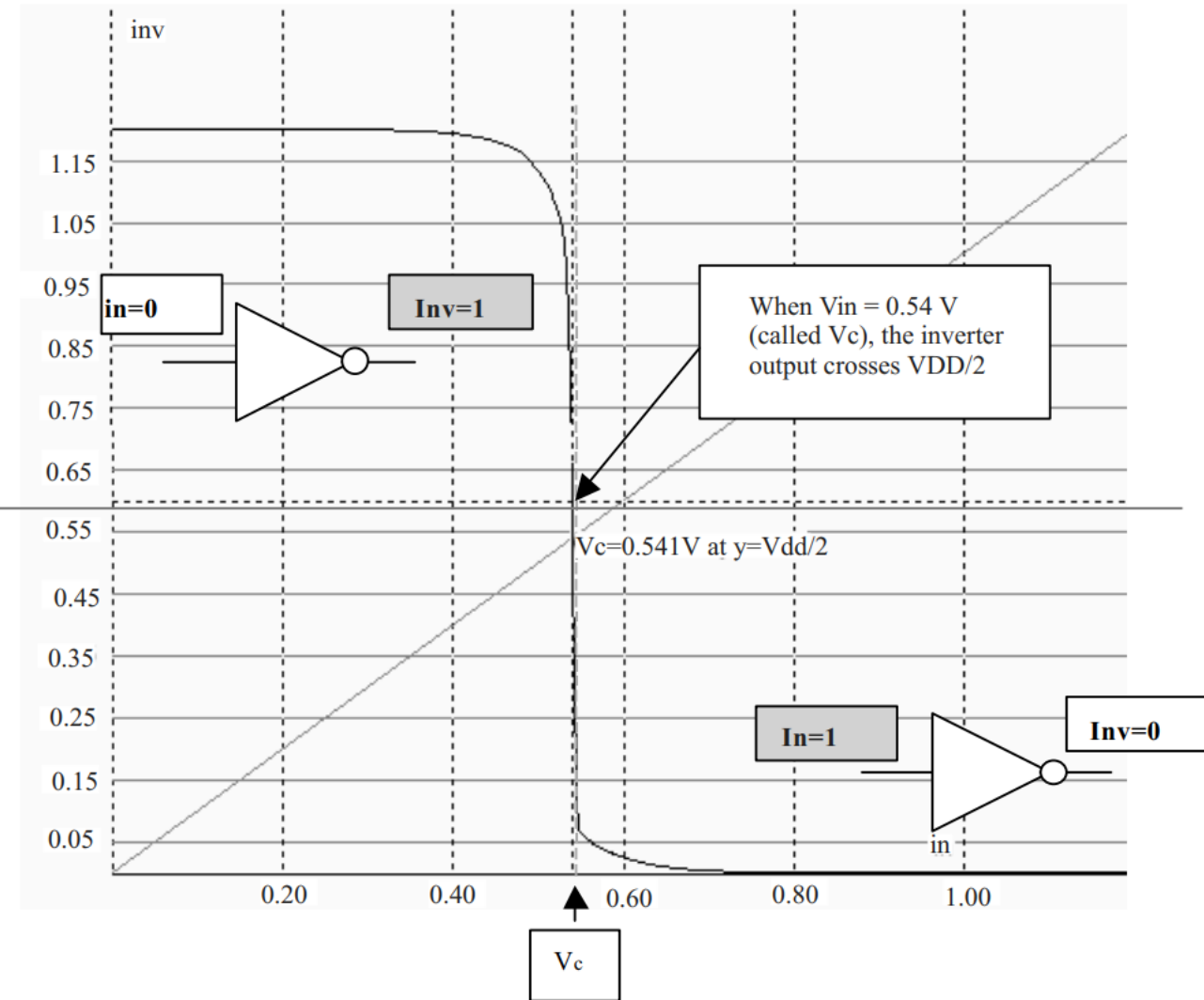
V_{DD} = supply voltage (1.2 V)

V_{TN} = threshold voltage of n-channel device (0.30 V)

V_{TP} = threshold voltage of p-channel device (0.30 V)

K=1 la
solution
idéale

VDD/2

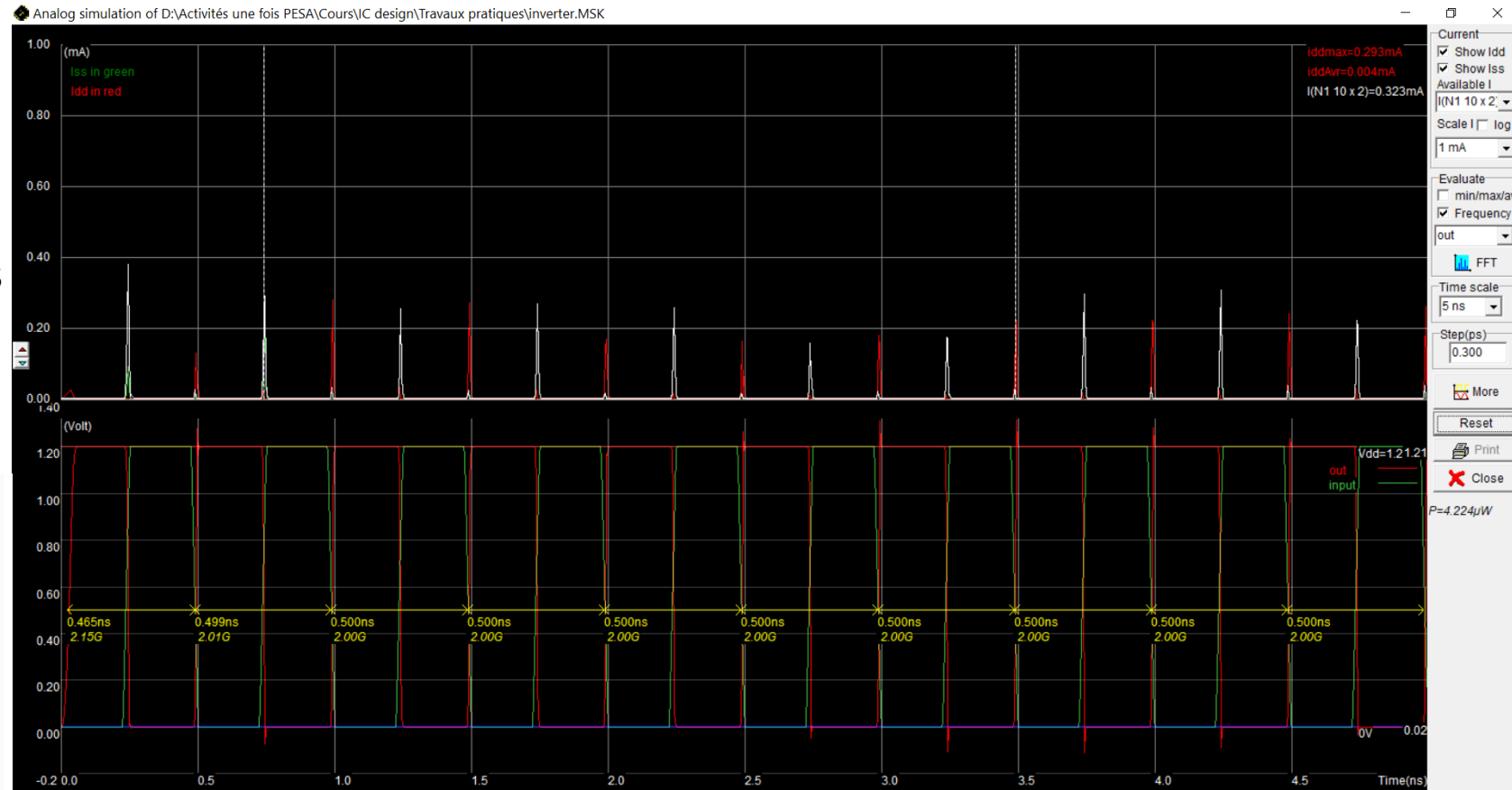
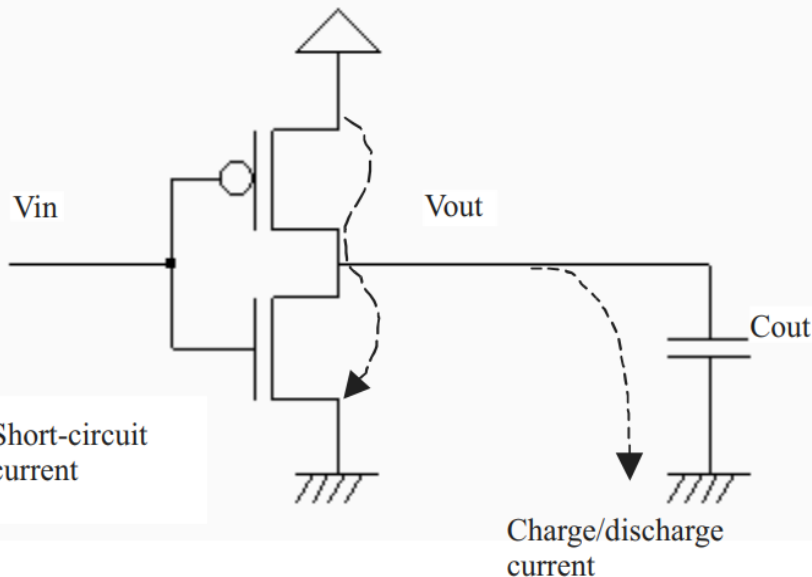


Chapitre 3: Conception de l'inverseur CMOS

Puissance consommée par l'inverseur

L'inverseur consomme de l'énergie pendant les transitions. Deux effets:

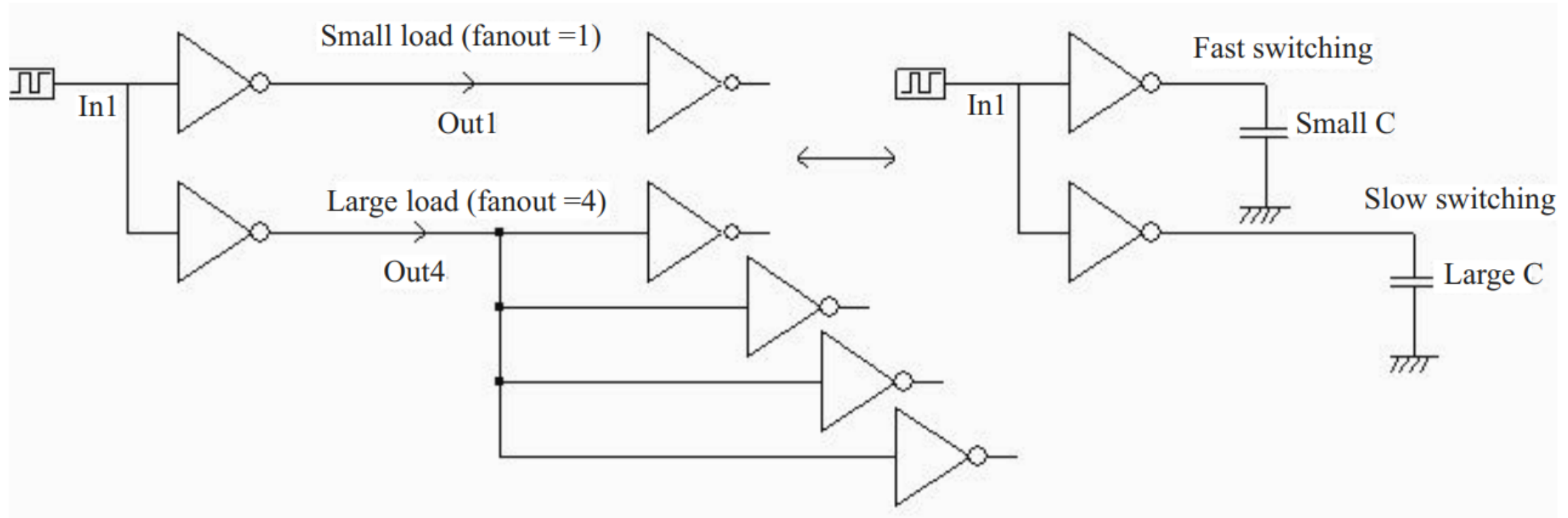
- Le premier est la puissance de court-circuit résultant du courant de court-circuit momentané qui circule de VDD à VSS lorsque le transistor fonctionne dans l'état marche/arrêt incomplet
- Le deuxième est la puissance de la charge et la décharge du condensateur



Chapitre 3: Conception de l'inverseur CMOS

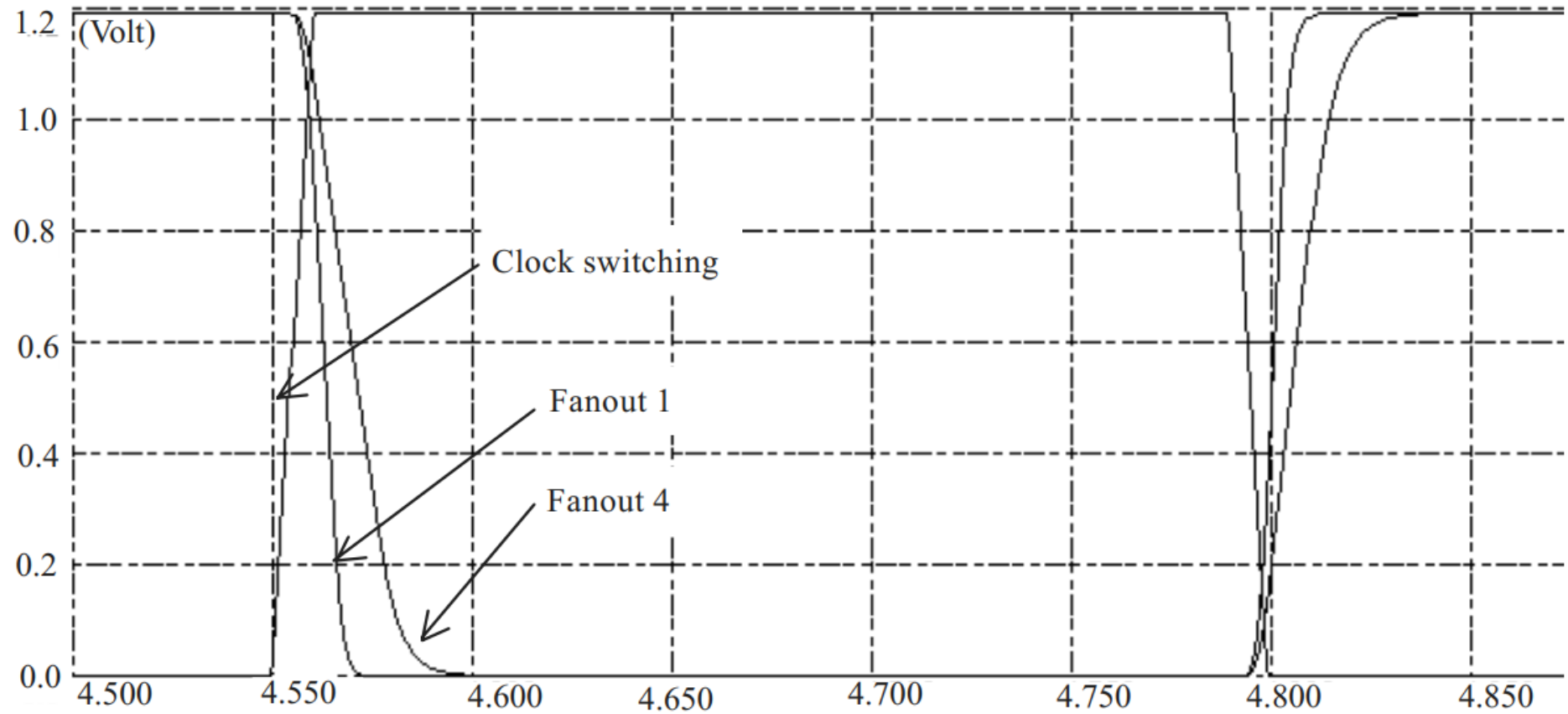
Effet de la capacité de sortie

- À mesure que le nombre de portes connectées au nœud de sortie de l'inverseur augmente, la capacité de sortie augmente.
- Le **fanout** correspond au nombre de portes connectées à la sortie de la cellule.
- Physiquement, un grand fanout signifie un grand nombre de connexions c'est-à-dire une grande capacité de charge



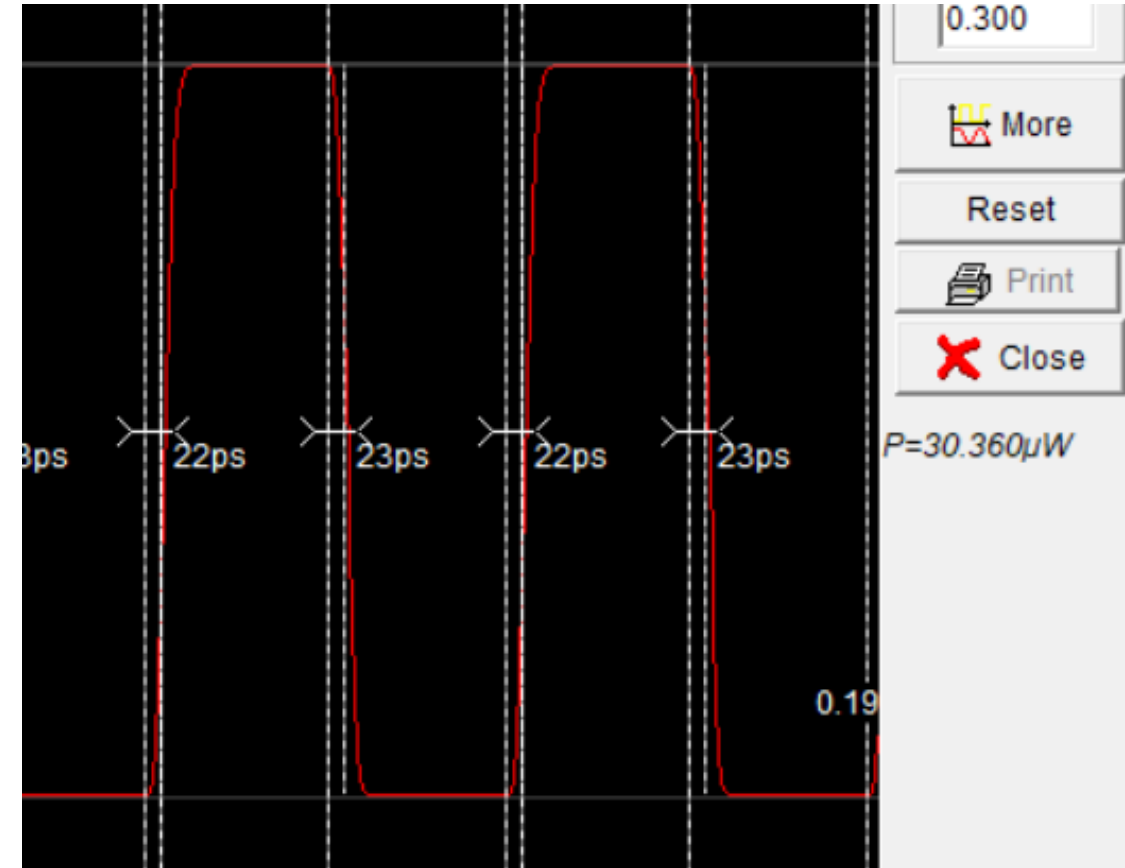
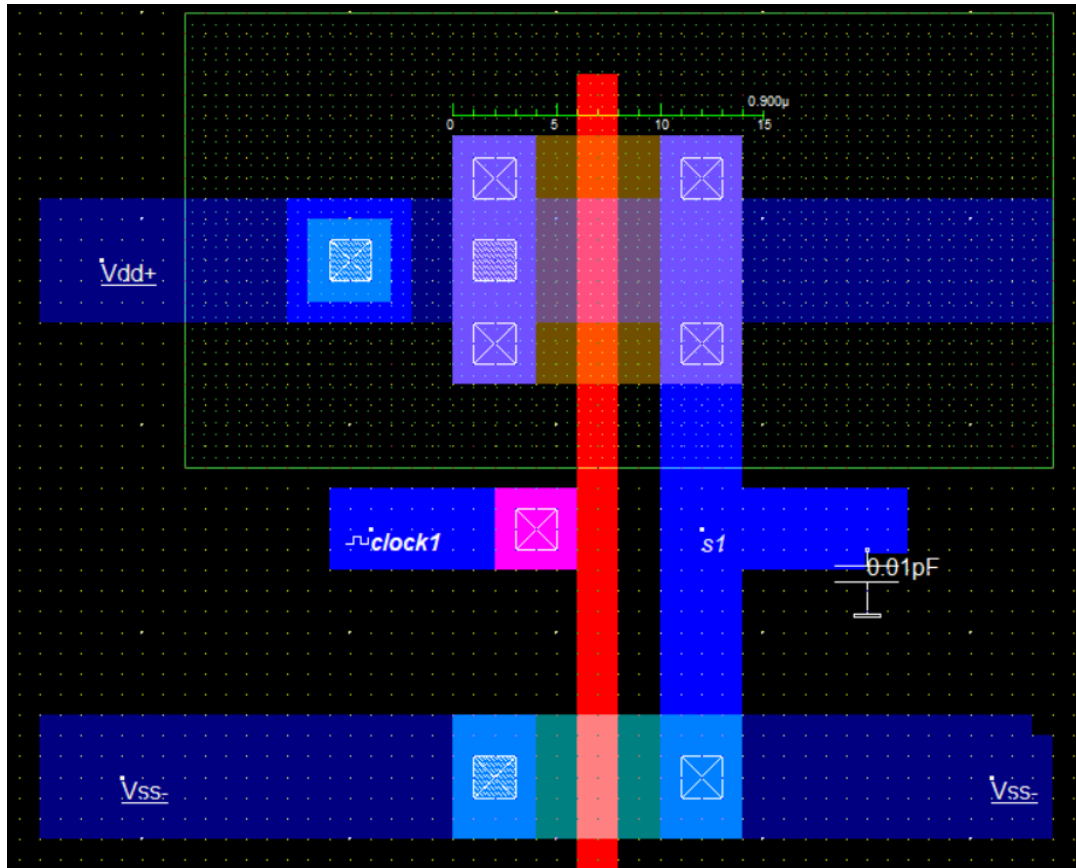
Chapitre 3: Conception de l'inverseur CMOS

- La figure illustre les simulations de l'inverseur en fonction de la capacité de sortie
- Si le nombre de Fanout augmente alors la capacité de sortie augmente aussi ce qui implique un retard important (durée nécessaire à la décharge de la capacité (fall time))
- Si la capacité de sortie est faible alors elle se décharge et se charge rapidement ce qui implique un temps de montée et de descente faible



Chapitre 3: Conception de l'inverseur CMOS

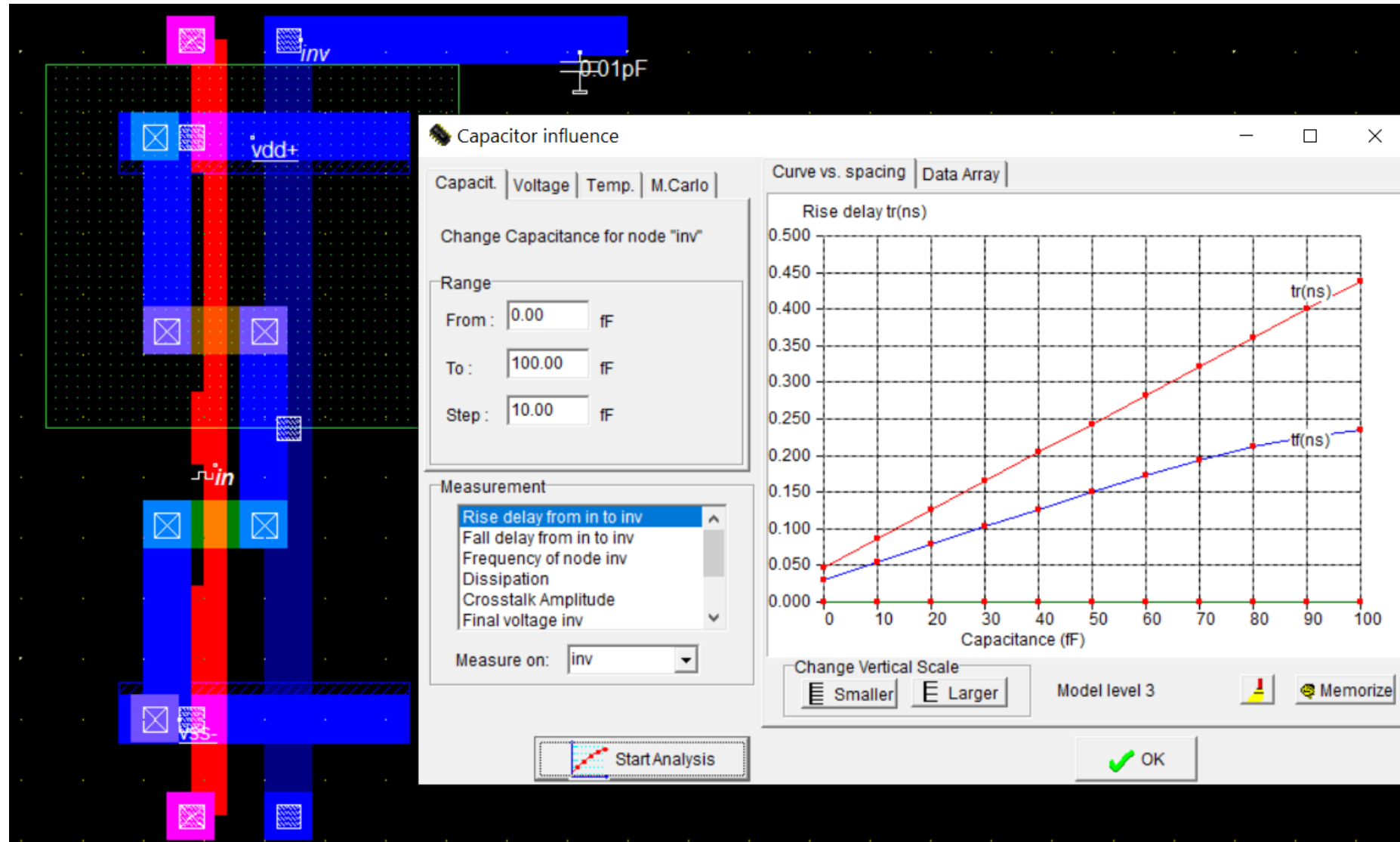
- On peut ajouter une capacité de sortie virtuelle à la sortie et voir son effet sur les performances de l'inverseur



- On remarque le temps de montée et de descente augmentent par rapport au cas précédent
- On remarque aussi que la puissance consommée est supérieure par rapport au cas précédent

Chapitre 3: Conception de l'inverseur CMOS

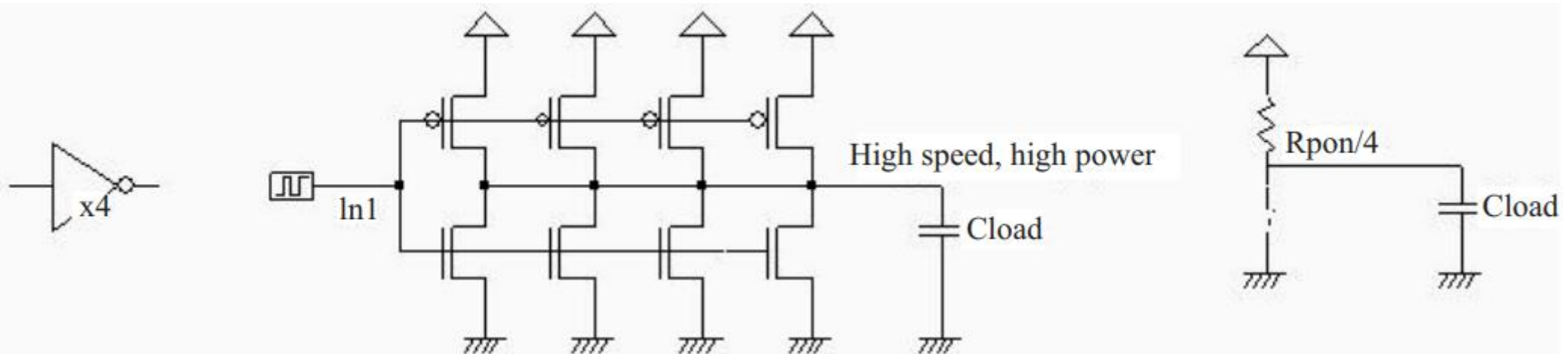
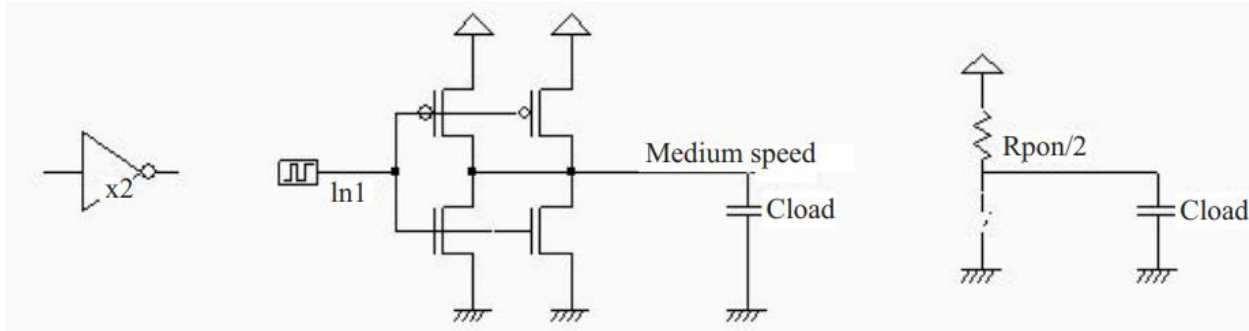
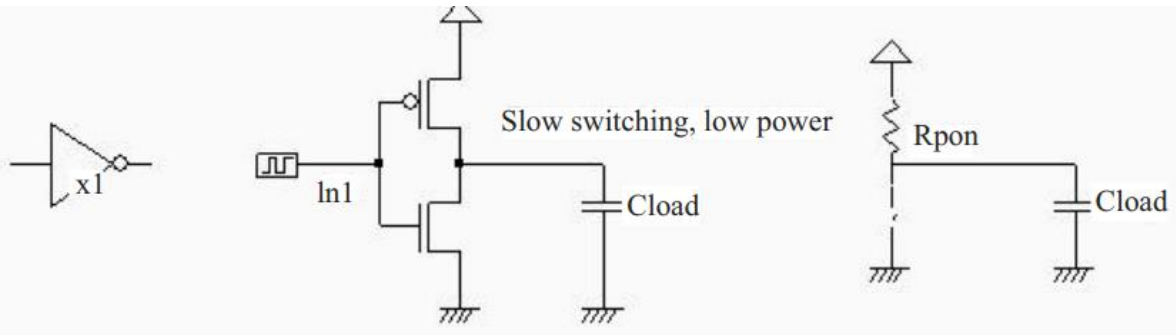
- La commande parameter analysis sous microwind permet de simuler l'effet de la capacité de sortie sur les performances de l'inverseur (**Ajouter une capacité à la sortie et faire l'analyse**)
- On remarque que le temps de monté (t_r) varie linéairement avec la capacité de sortie.
- Cette analyse est d'une grande importance car elle permet de définir les limites du circuits en terme de la fréquence d'horloge



Chapitre 3: Conception de l'inverseur CMOS

Diminution du délai et amélioration de la rapidité

- La méthode la plus courante pour améliorer la rapidité des signaux consiste à connecter plusieurs inverseurs en parallèle. Les cellules de bases sont conçues avec un ou plusieurs inverseurs x1, x2, x4, x8....
- Le choix de l'une des cellules dépend essentiellement de la rapidité et de la puissance désirées



Chapitre 3: Conception de l'inverseur CMOS

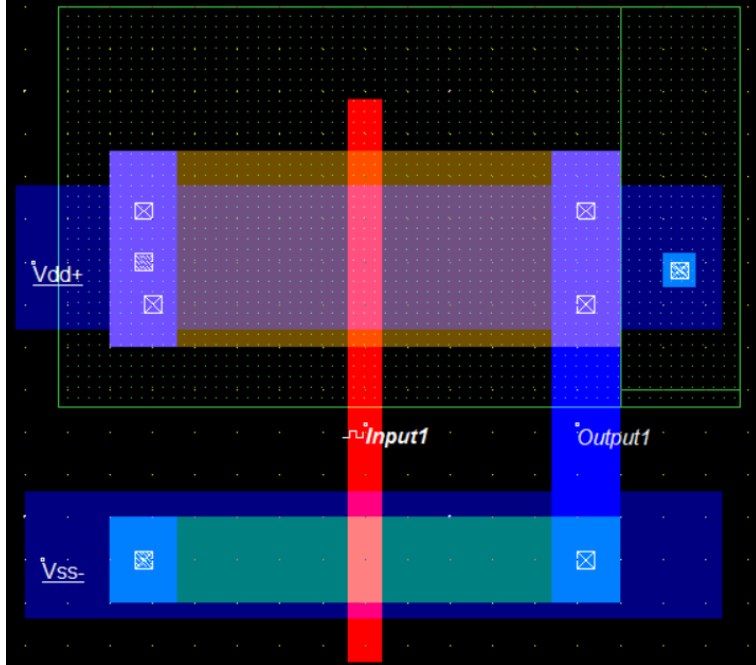
Diminution du délai et amélioration de la rapidité

- On peut utiliser le fichier **Invx124.MSK** pour vérifier les délais sur les cellules x1, x2 et x4
- On varie la capacité de sortie de 0 à 100fF avec un pas de 10fF
- Après on choisit le temps de monté comme variable
- On peut effectuer les mesures sur les sorties des cellules en mémorisant les courbes pour pouvoir les comparer
- On peut voir que le temps de monté diminue à chaque fois qu'on augmente le nombre d'inverseurs en parallèles

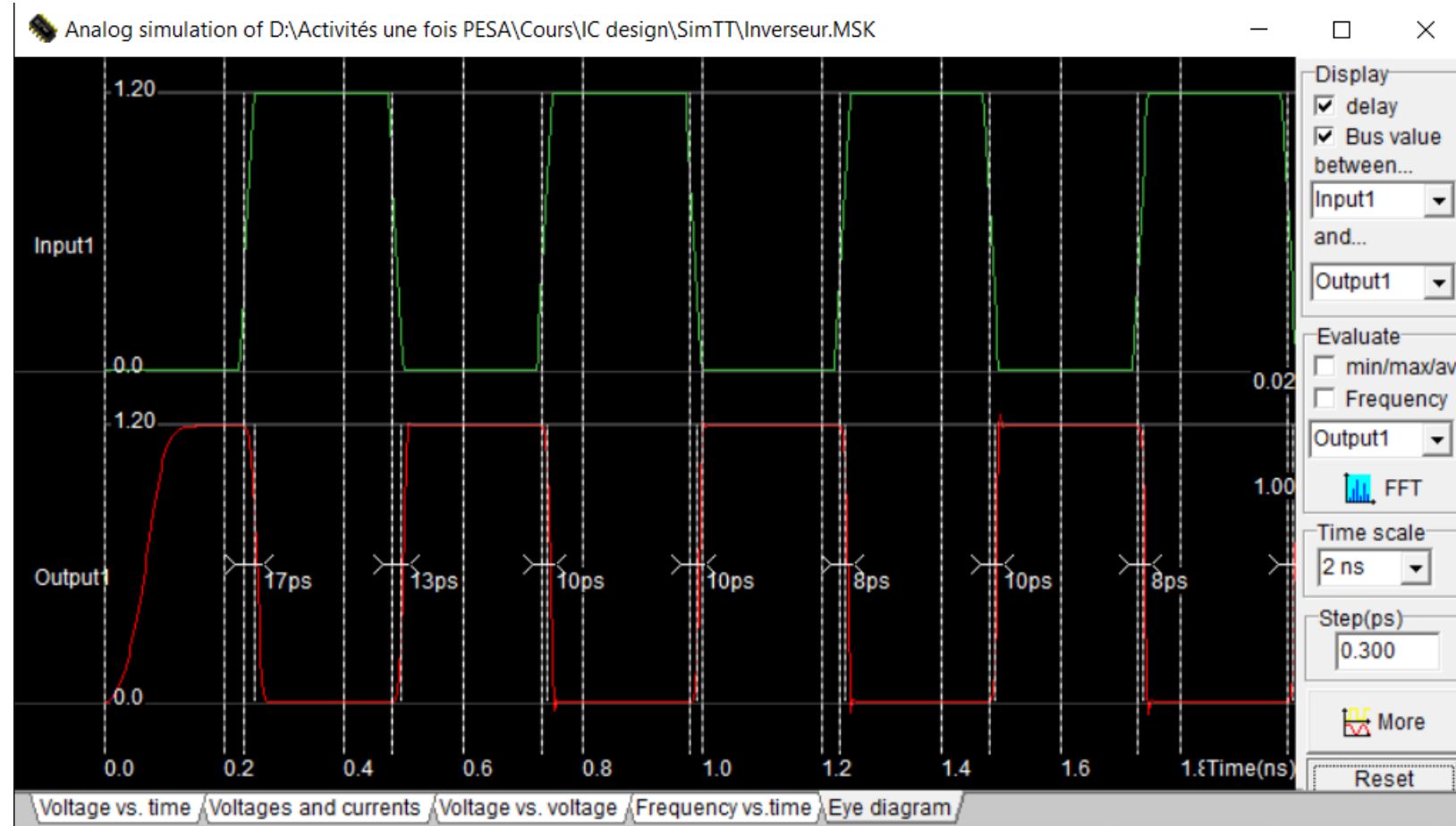


Chapitre 3: Conception de l'inverseur CMOS

Diminution du délai et amélioration de la rapidité: comparaison entre un inverseur simple et un autre double

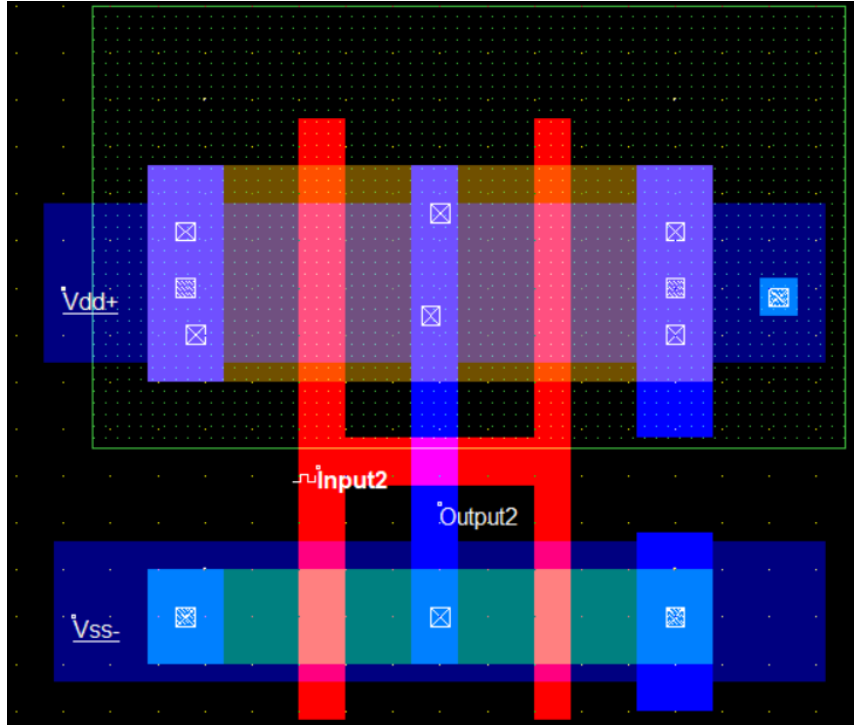


- La figure illustre les performances d'un inverseur simple en terme de temps de montée et de descente
- On remarque que l'inverseur à un temps de montée de 10ps et un temps de descente de 8 ps.

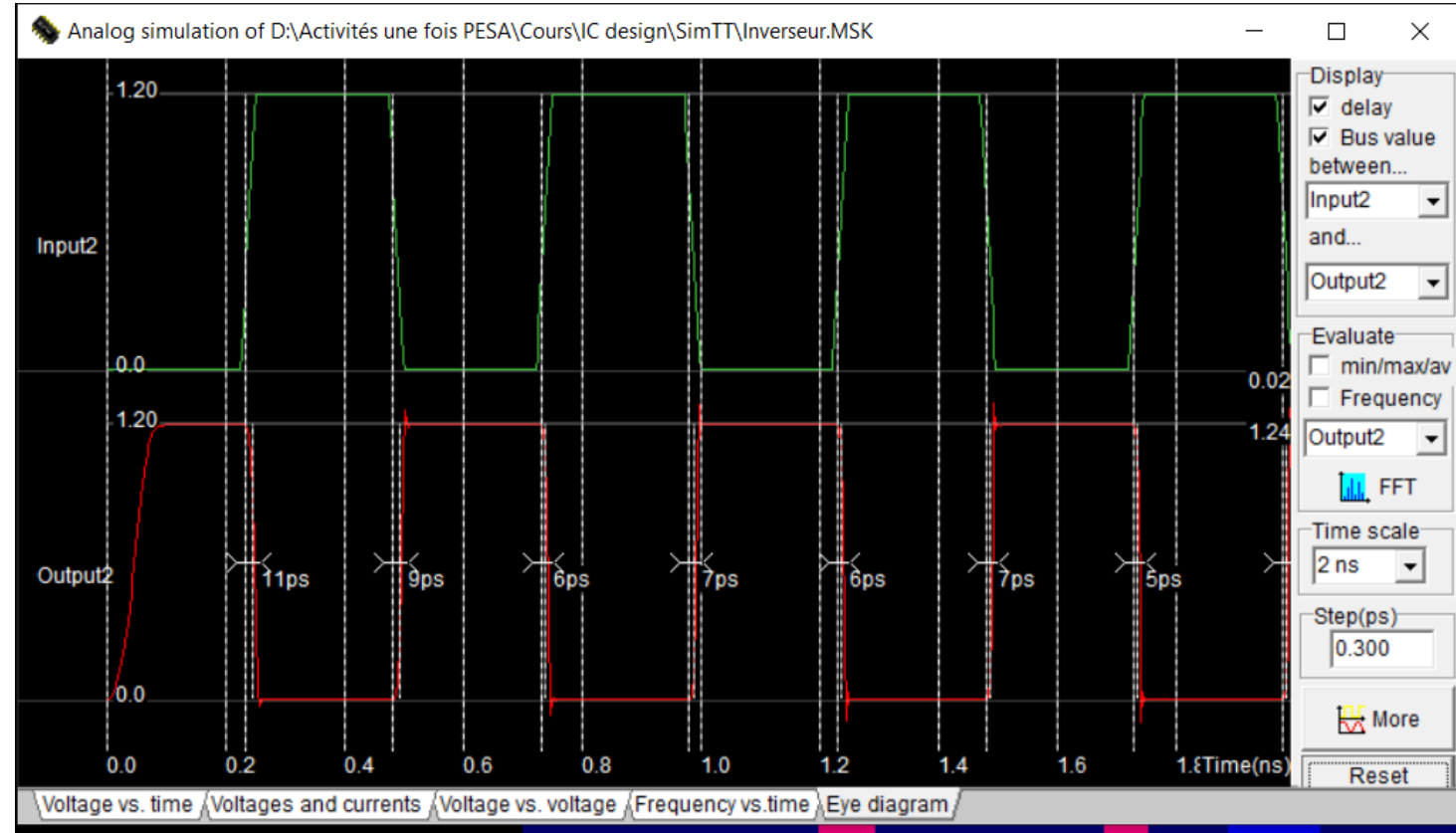


Chapitre 3: Conception de l'inverseur CMOS

Diminution du délai et amélioration de la rapidité: comparaison entre un inverseur simple et un autre double

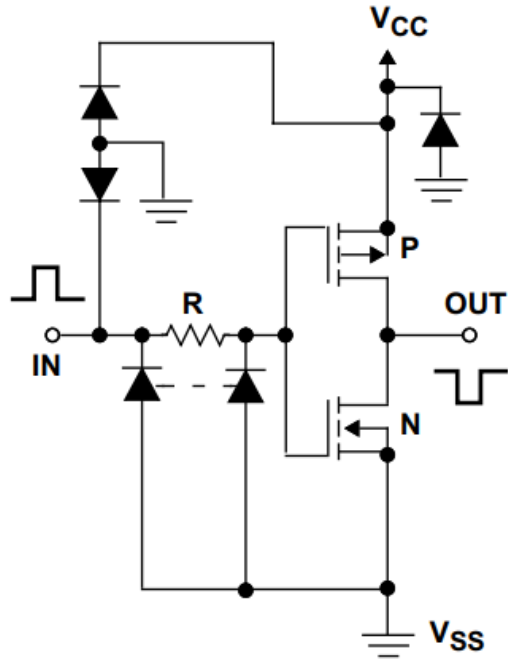


- La figure illustre les performances d'un inverseur double en terme de temps de montée et de descente
- On remarque que l'inverseur à un temps de montée de 7ps et un temps de descente de 5 ps.



Chapitre 3: Conception de l'inverseur CMOS

Exemple d'un circuit intégré: le TI 4049 et TI4045 de Texas Instrument



Copyright © 2016,
Texas Instruments Incorporated

1 of 6 Identical Units

Schematic Diagram of CD4049UB

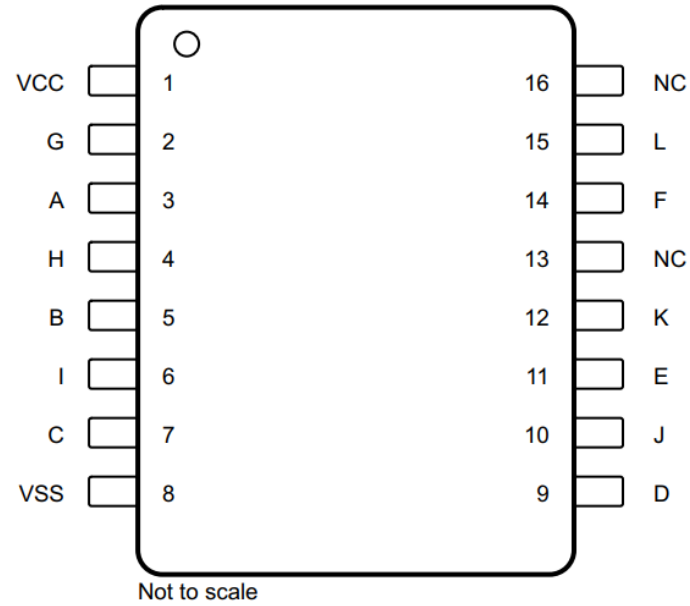
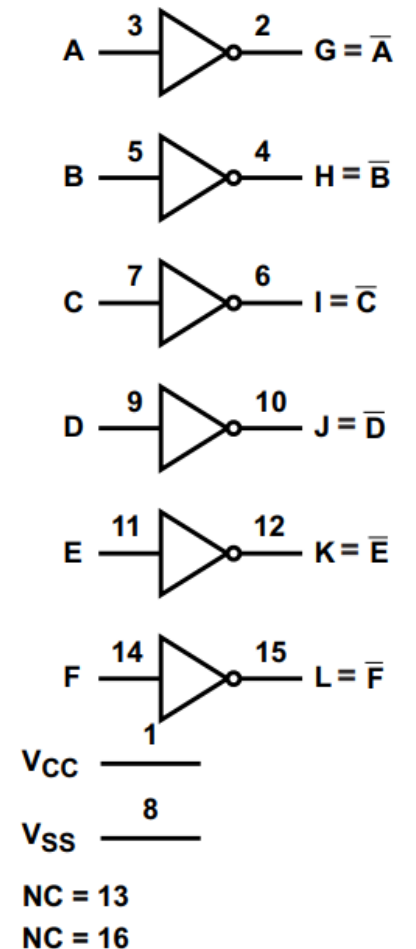


Figure 5-1. CD4049UB D, DW, N, NS, and PW
Packages 16-Pin SOIC, PDIP, SO, and TSSOP Top
View



8.2 Functional Block Diagram

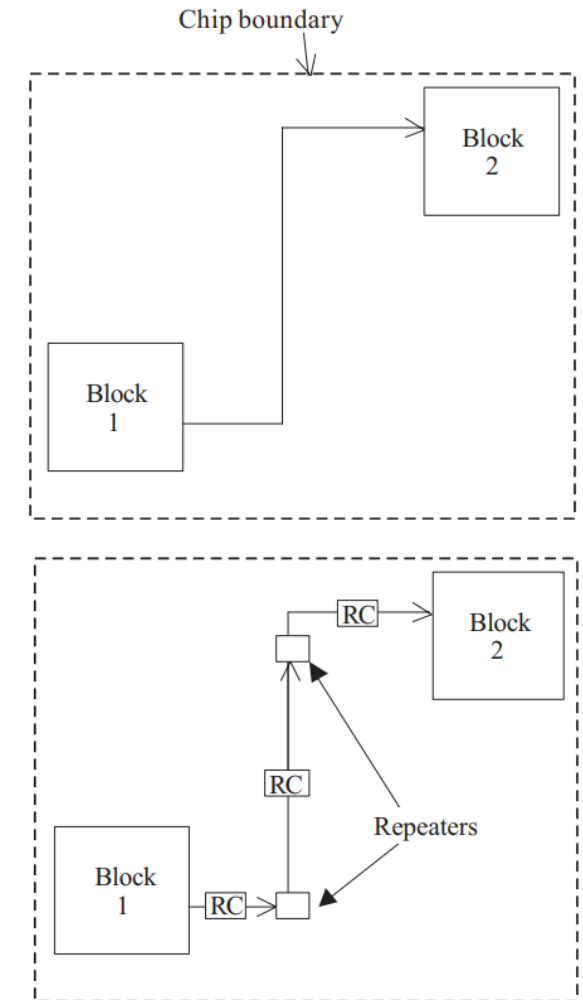
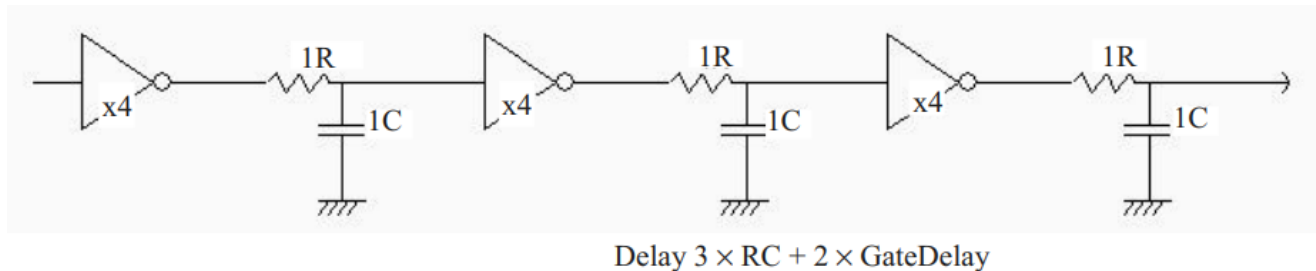
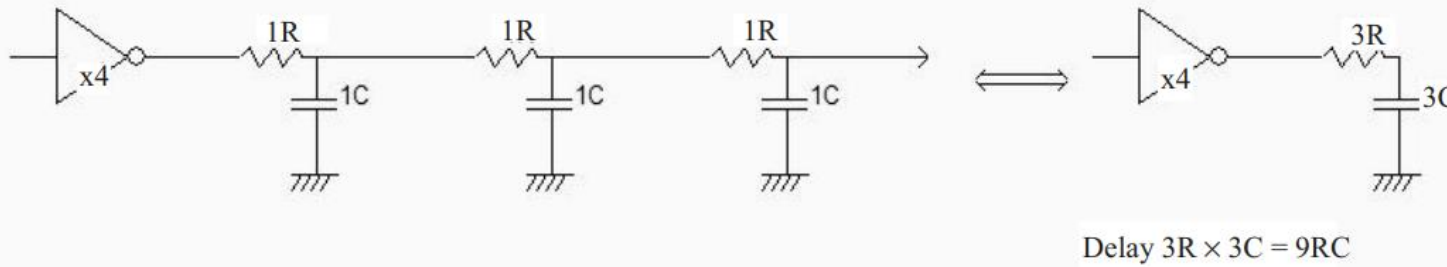
CD4049UB



Chapitre 3: Conception de l'inverseur CMOS

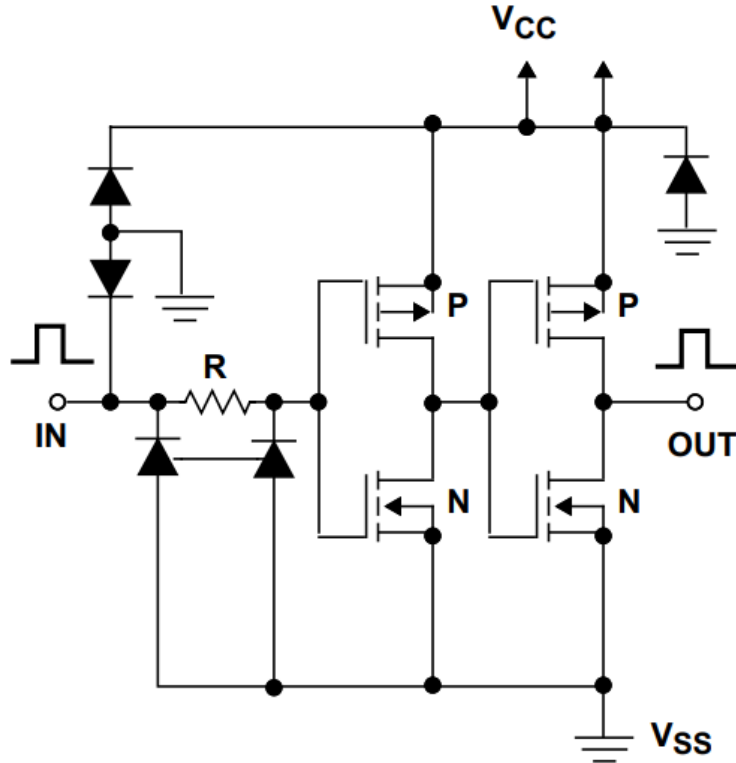
Amélioration de la qualité du signal sur de longues distances

- Les longues distances sont équivalentes à des charges RC qui dégradent le signal de base et augmente le délai de propagation
- Pour résoudre ce problème, on peut utiliser des répéteurs



Chapitre 3: Conception de l'inverseur CMOS

Exemple d'un circuit intégré: le TI 4049 et TI4045 de Texas Instrument



Copyright © 2016, Texas Instruments Incorporated

1 of 6 Identical Units

Schematic Diagram of CD4050B

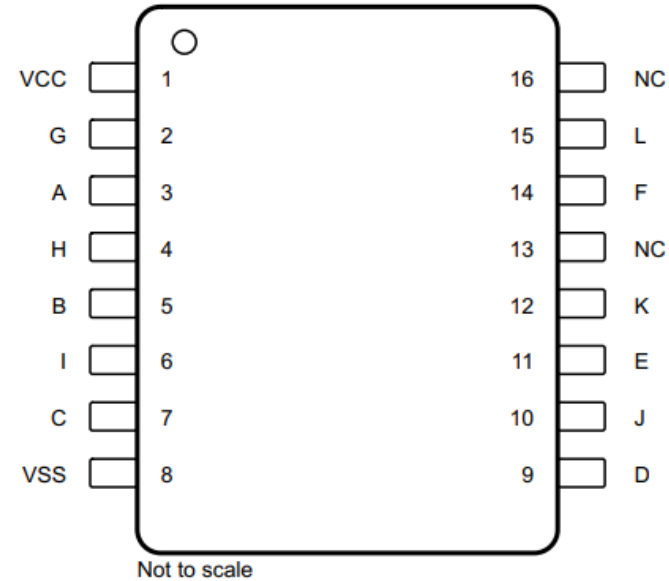
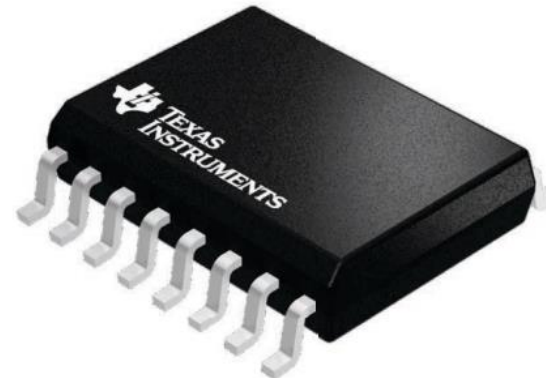
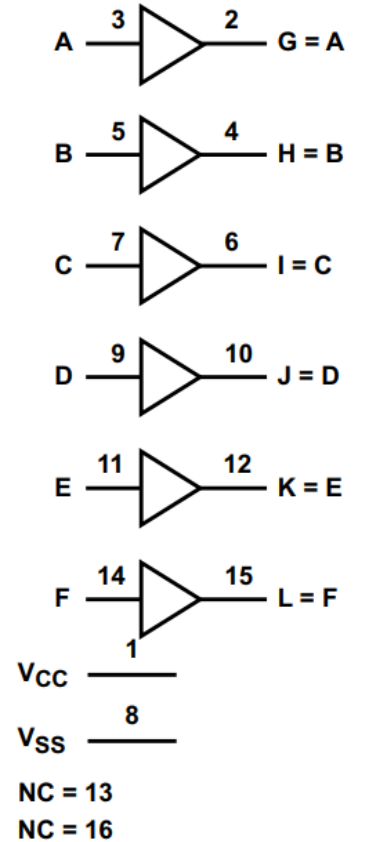


Figure 5-2. CD4050B D, DW, N, NS, and PW Packages 1G6-Pin SOIC, PDIP, SO, and TSSOP Top View



CD4050B



Copyright © 2016, Texas Instruments Incorporated

Chapitre 3: Conception de l'inverseur CMOS

Exemple d'un circuit intégré: le TI 4049 et TI4045 de Texas Instrument

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
t _{PLH}	Propagation delay time Low to high (CD4049UB)	V _{IN} = 5 V, V _{CC} = 5 V		60	120	ns
		V _{IN} = 10 V, V _{CC} = 10 V		32	65	
		V _{IN} = 10 V, V _{CC} = 5 V		45	90	
		V _{IN} = 15 V, V _{CC} = 15 V		25	50	
		V _{IN} = 15 V, V _{CC} = 5 V		45	90	
	Propagation delay time Low to high (CD4050B)	V _{IN} = 5 V, V _{CC} = 5 V		70	140	ns
		V _{IN} = 10 V, V _{CC} = 10 V		40	80	
		V _{IN} = 10 V, V _{CC} = 5 V		45	90	
		V _{IN} = 15 V, V _{CC} = 15 V		30	60	
		V _{IN} = 15 V, V _{CC} = 5 V		40	80	
t _{PHL}	Propagation delay time High to low (CD4049UB)	V _{IN} = 5 V, V _{CC} = 5 V		32	65	ns
		V _{IN} = 10 V, V _{CC} = 10 V		20	40	
		V _{IN} = 10 V, V _{CC} = 5 V		15	30	
		V _{IN} = 15 V, V _{CC} = 15 V		15	30	
		V _{IN} = 15 V, V _{CC} = 5 V		10	20	
	Propagation delay time High to low (CD4050B)	V _{IN} = 5 V, V _{CC} = 5 V		55	110	ns
		V _{IN} = 10 V, V _{CC} = 10 V		22	55	
		V _{IN} = 10 V, V _{CC} = 5 V		50	100	
		V _{IN} = 15 V, V _{CC} = 15 V		15	30	
		V _{IN} = 15 V, V _{CC} = 5 V		50	100	

Chapitre 3: Conception de l'inverseur CMOS

Puissance consommée en fonction de la fréquence

- La puissance électrique P est calculée par MICROWIND comme le produit moyen de la tension d'alimentation V_{DD} et du courant d'alimentation I_{DD} , calculé à chaque pas d'itération (chaque commutation de 0 à 1 et de 1 à 0).

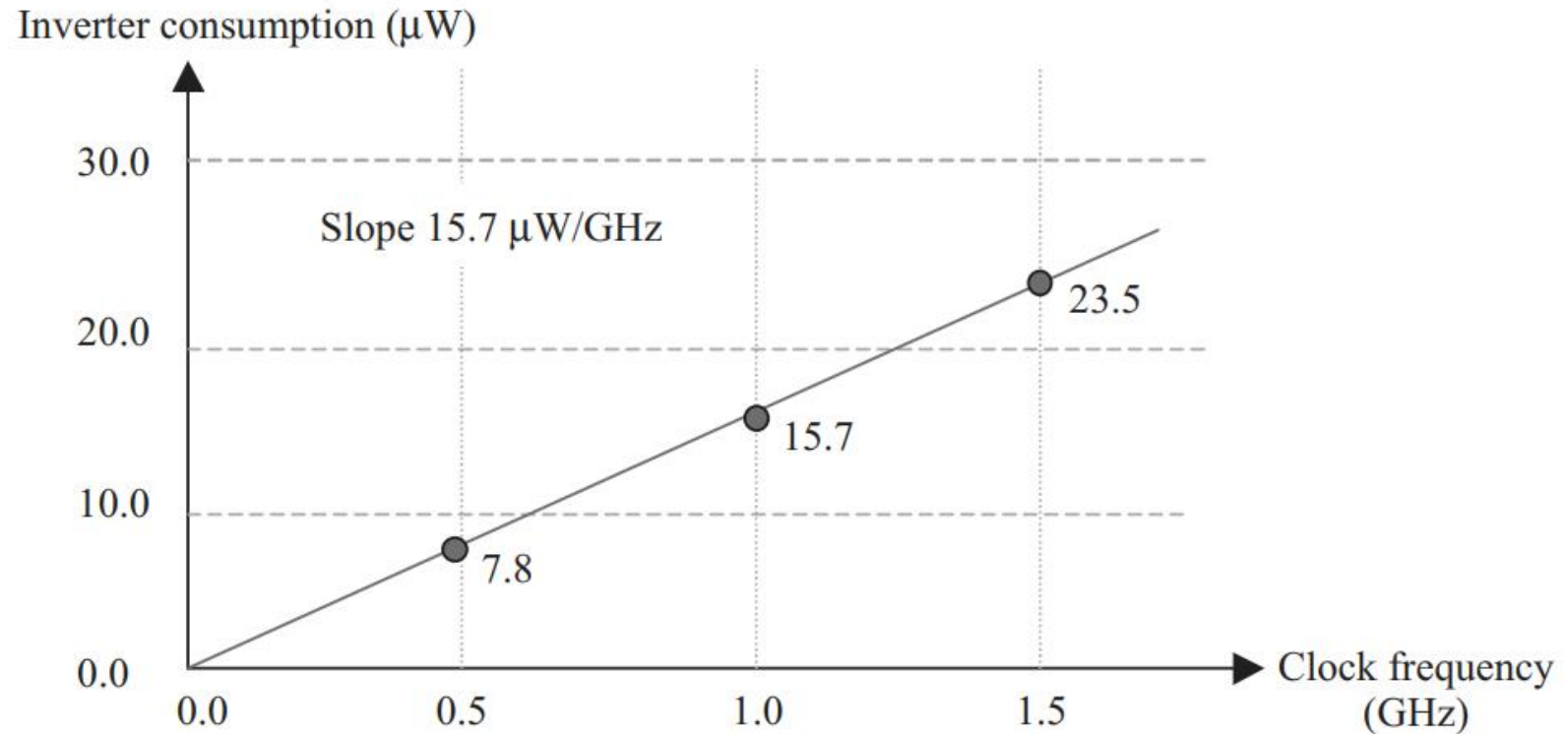
$$P = \frac{\sum I_{DD} \cdot V_{DD}}{\text{steps}}$$

Trois facteurs principaux contribuent à la consommation d'énergie P :

- la capacité de charge C ,
- la tension d'alimentation V_{DD}
- et la fréquence d'horloge f .

Pour un inverseur CMOS, cette relation est généralement représentée par l'approximation du premier ordre ci-dessous.

$$P = \frac{1}{2} \eta \cdot C V_{DD}^2 f$$



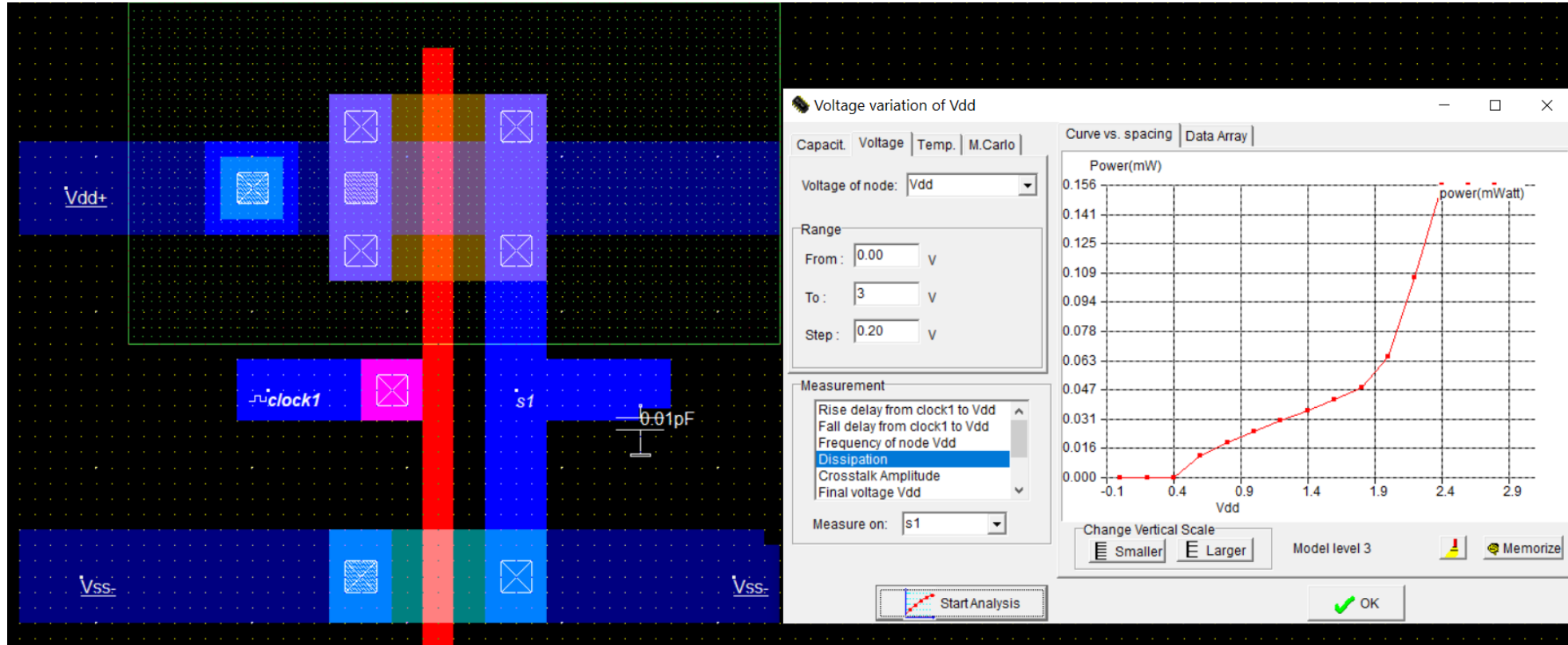
Chapitre 3: Conception de l'inverseur CMOS

Puissance consommée en fonction de la tension

- La puissance électrique P dépend de la tension d'alimentation V_{dd} (charger le fichier **CmosLoad.msk** sur microwind)

On constate une augmentation très importante de la consommation électrique au-delà de 1,5 V, due aux effets d'avalanche dans les MOS à canal n.

Cette simulation démontre l'intérêt d'un fonctionnement en alimentation minimale pour atteindre un fonctionnement optimal à faible puissance.

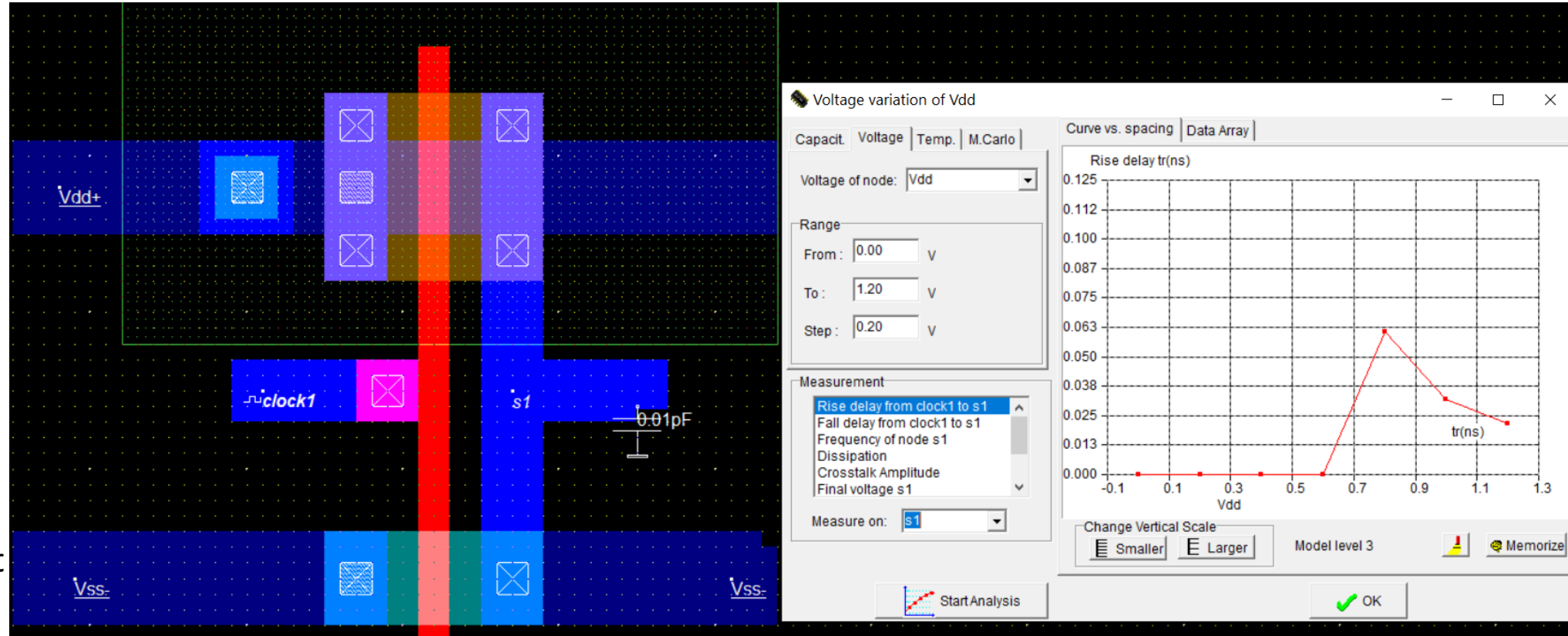


$$P = \frac{1}{2} \eta \cdot C V_{DD}^2 f$$

Chapitre 3: Conception de l'inverseur CMOS

La tension minimale versus le temps de retard à la montée (t_r)
(charger le fichier **CmosLoad.msk** sur microwind)

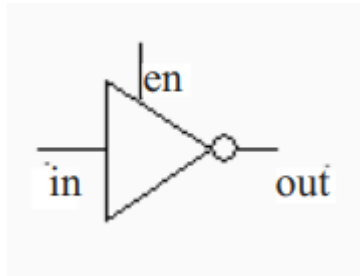
- On constate une augmentation très importante du temps de montée pour des tensions faibles
- L'augmentation de la tension donne naissance à une consommation élevée
- Le choix de 1.2V est un compromis entre rapidité et consommation



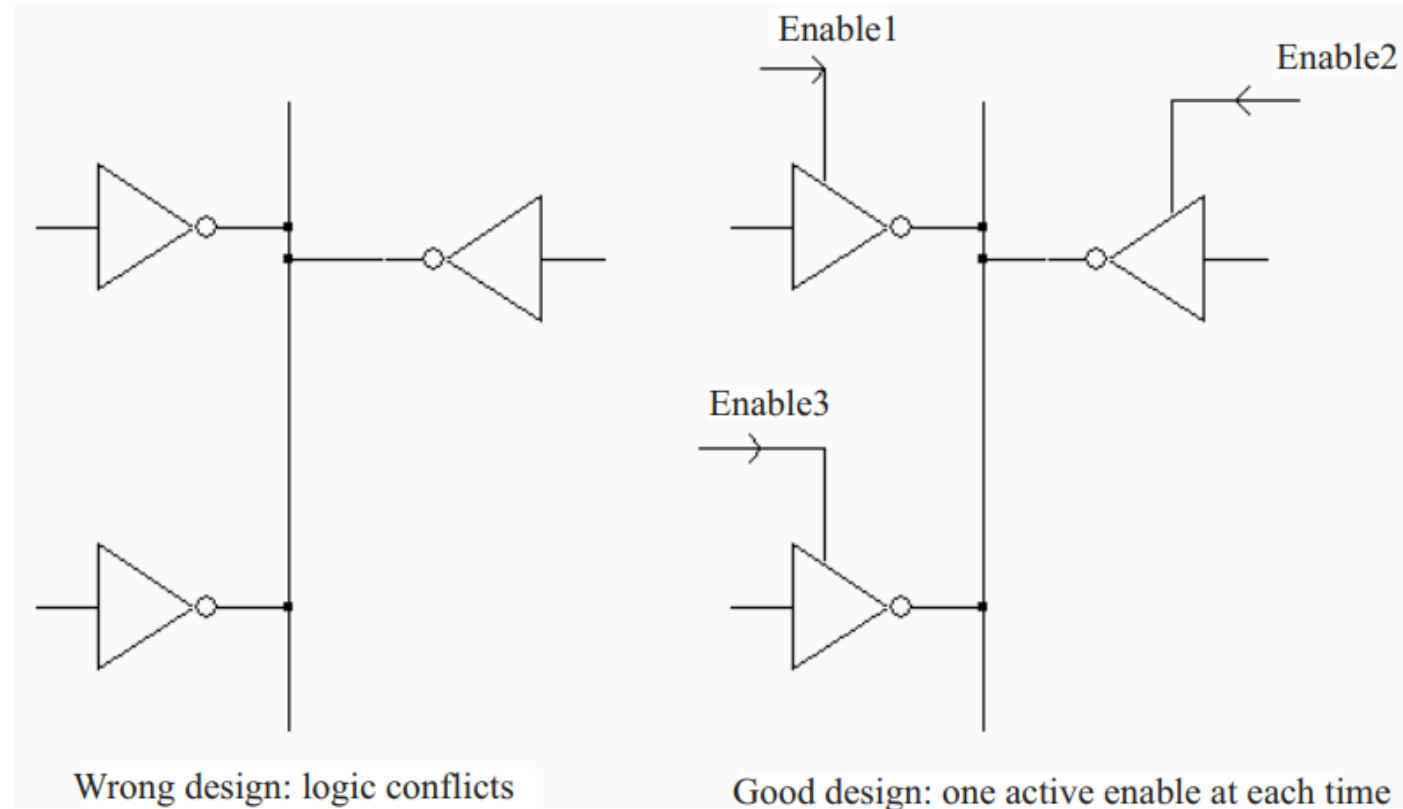
Chapitre 3: Conception de l'inverseur CMOS

Inverseur à trois états

- Quand plusieurs inverseurs sont connectés au même bus, il y aura un conflit
- La solution consiste à utiliser des inverseurs à trois états avec la possibilité que leurs sorties seraient en haute impédance au cas où l'accès n'est pas autorisé



In	En	Out
0	0	X
0	1	1
1	0	X
1	1	0
x	0 or 1	X
0 or 1	X	X

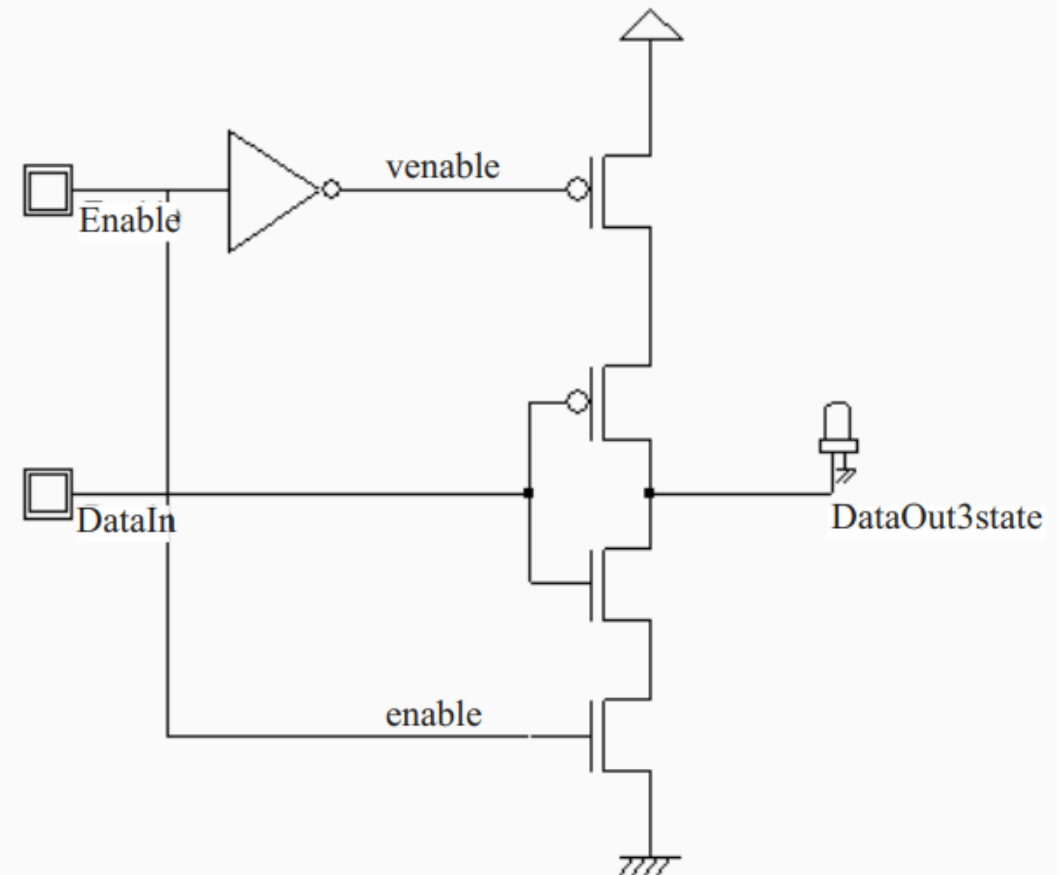
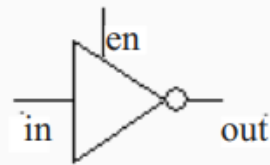


Chapitre 3: Conception de l'inverseur CMOS

Inverseur à trois états

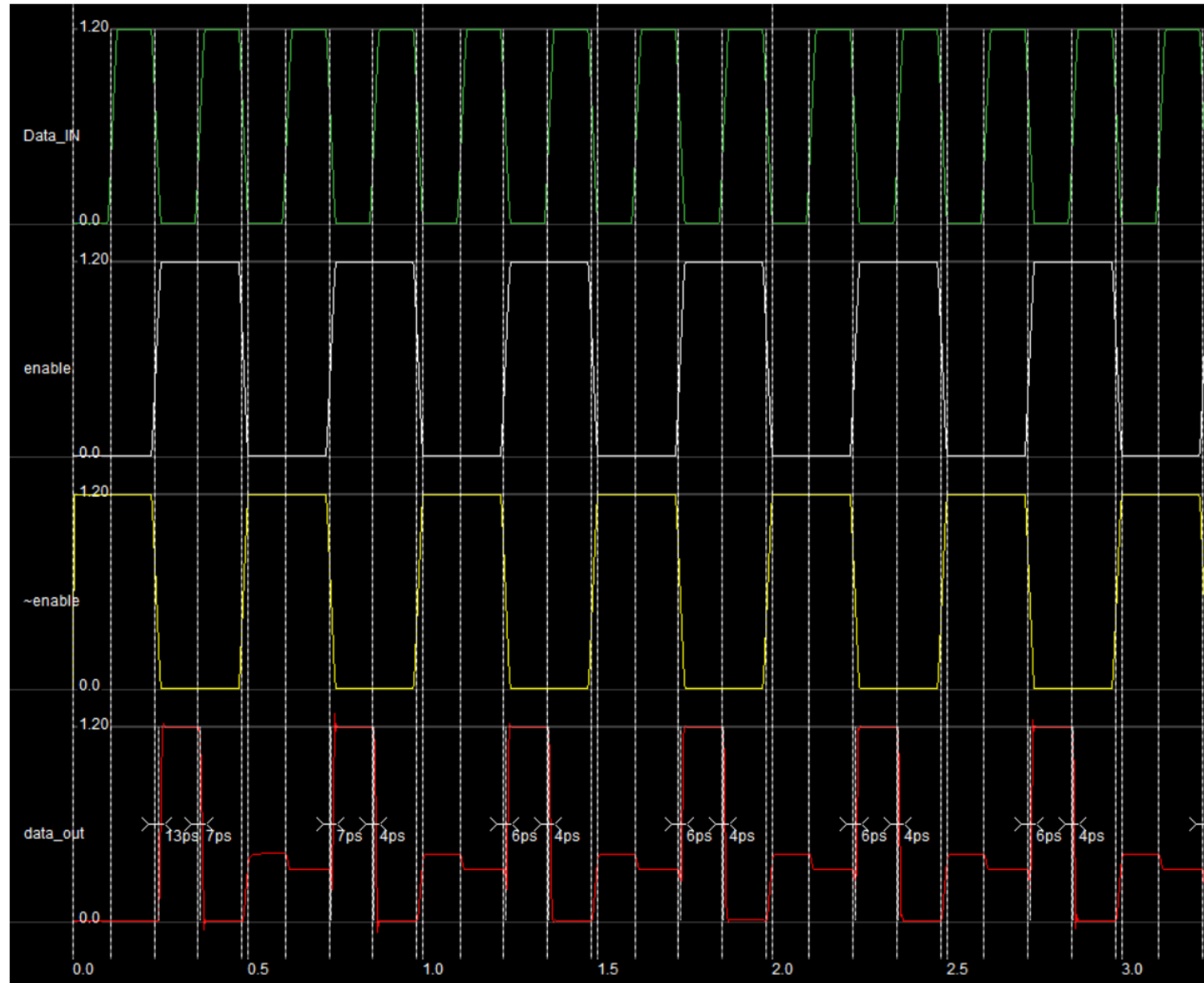
- Le schéma interne de l'inverseur à trois états est la suivante
- L'inverseur n'est pas connecté directement à Vdd et Vss mais à travers deux MOS activés via le signal ENABLE
- La sortie peut avoir trois états: 0, 1 ou X

- A faire
- Simuler le fonctionnement du circuit sous DSCH
- Réaliser le Layout sous Microwind et simuler son fonctionnement

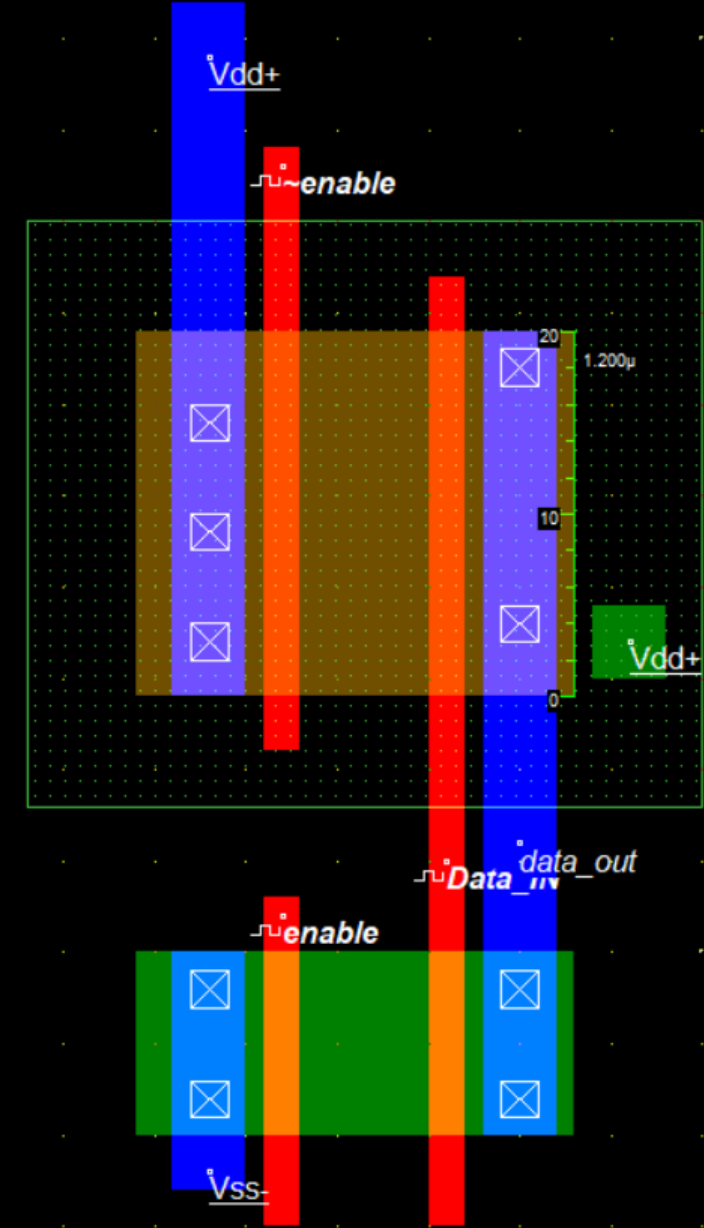


Chapitre 3: Conception de l'inverseur CMOS

Analog simulation of example



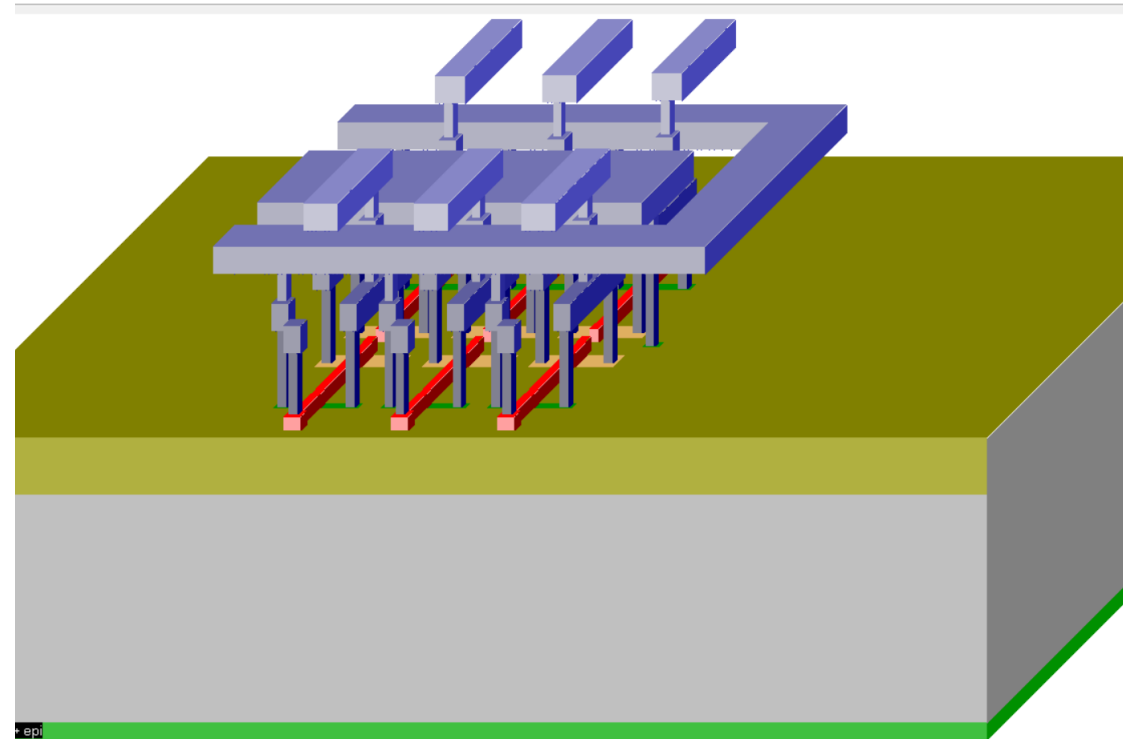
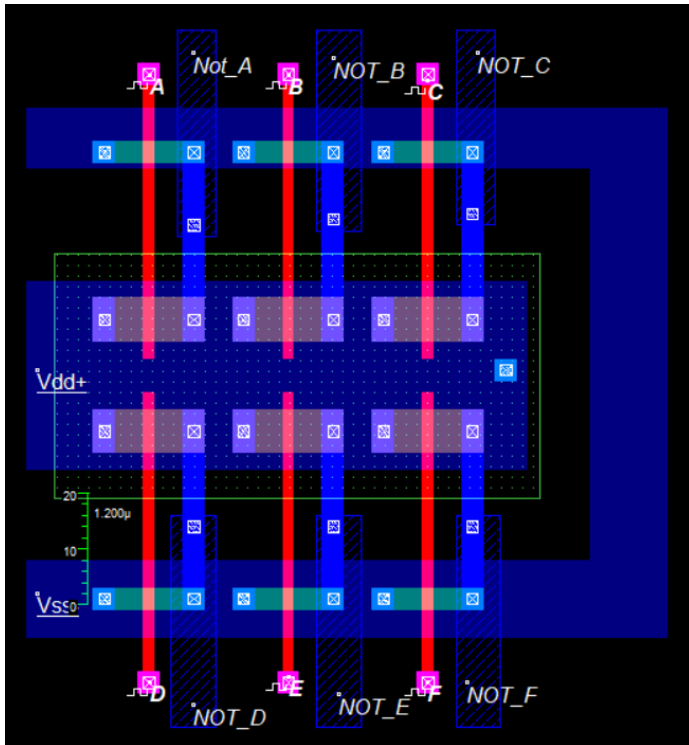
Voltage vs. time / Voltages and currents / Voltage vs. voltage / Frequency vs. time / Eye diagram



Chapitre 3: Conception de l'inverseur CMOS

Conception du circuit TI CD4049 de Texas Instrument

- Réaliser le dessin de masque du circuit intégré 4049 de TI
- Simuler le circuit et vérifier son fonctionnement.
- Évaluer les temps de montés et de descente du circuit.



Chapitre 3: Conception de l'inverseur CMOS

Conception du circuit TI CD4049 de Texas Instrument

