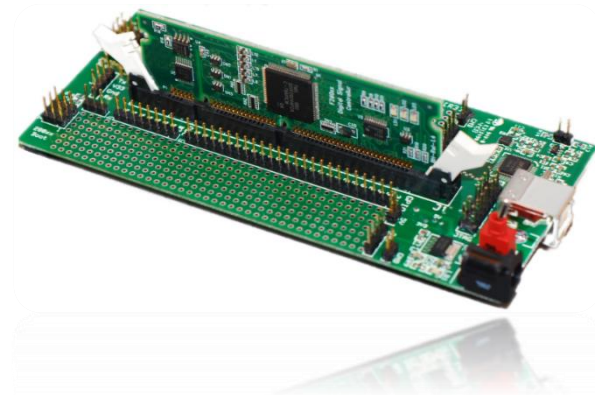
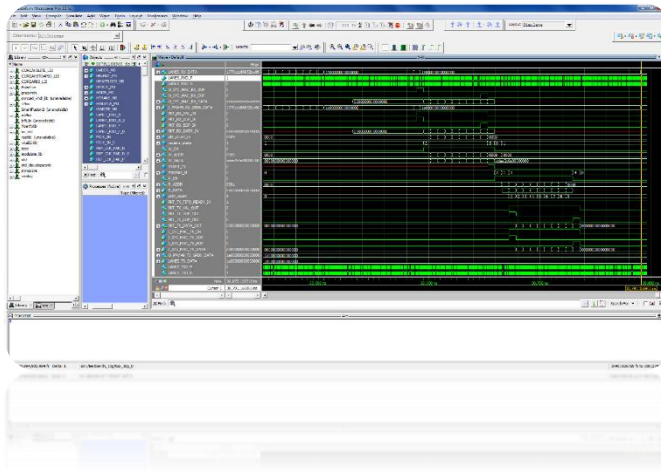
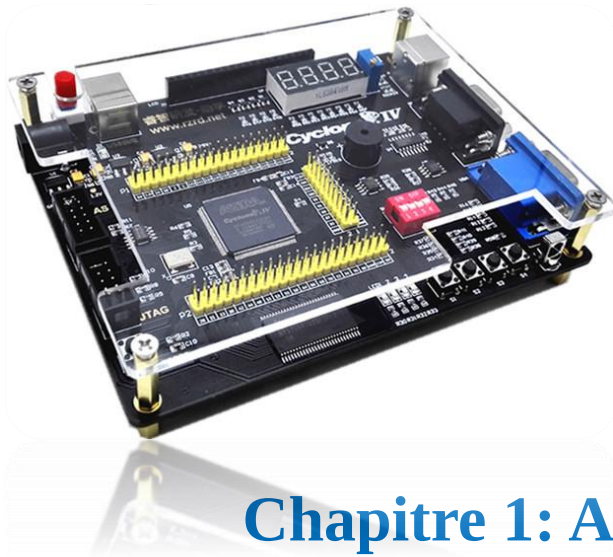


Cours FPGA, VHDL et DSP

Master d'Université Spécialisé en Ingénierie
des Systèmes Embarqués (ISE)



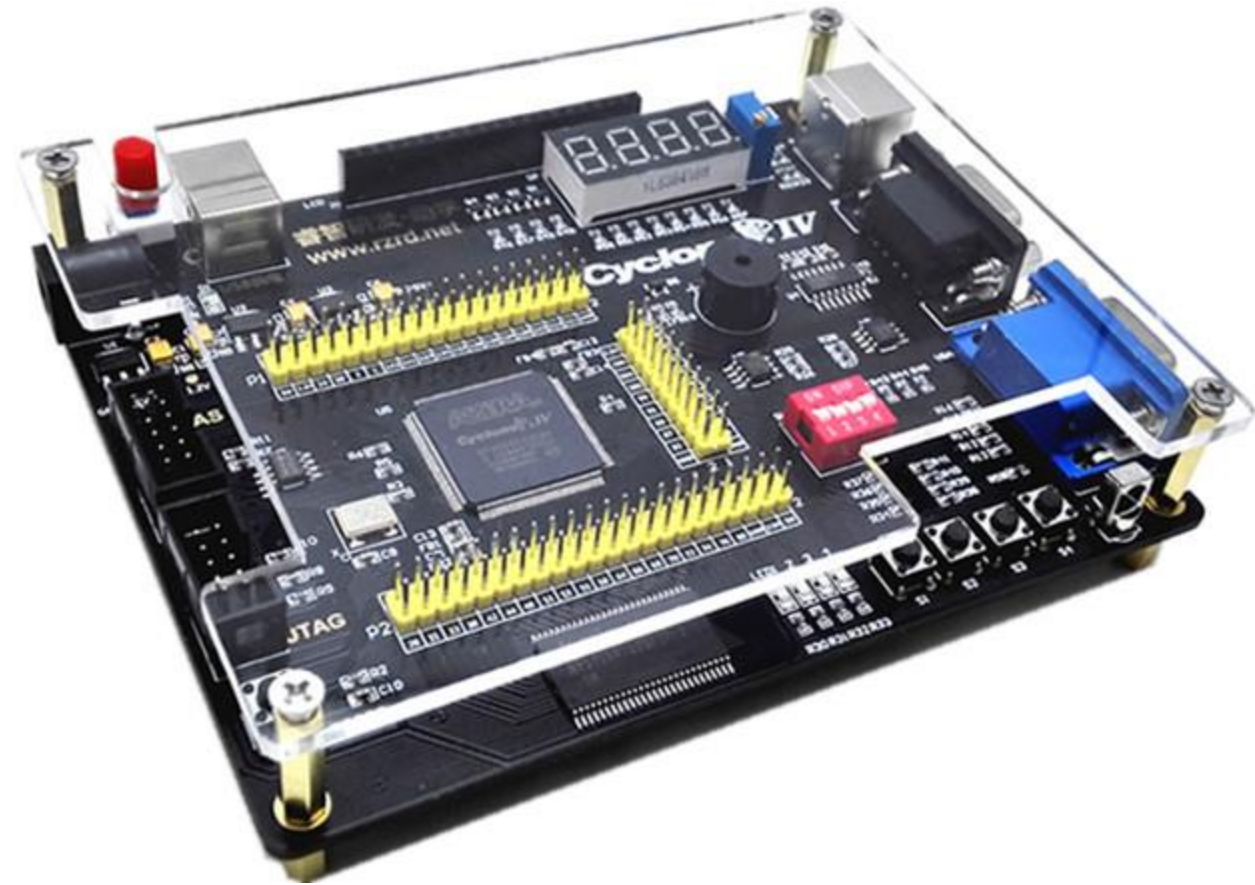
Chapitre 1: Architecture des circuits FPGA (rappelle)

Année universitaire 2024/2025

Dr. Ing. LASSIOUI Abdellah

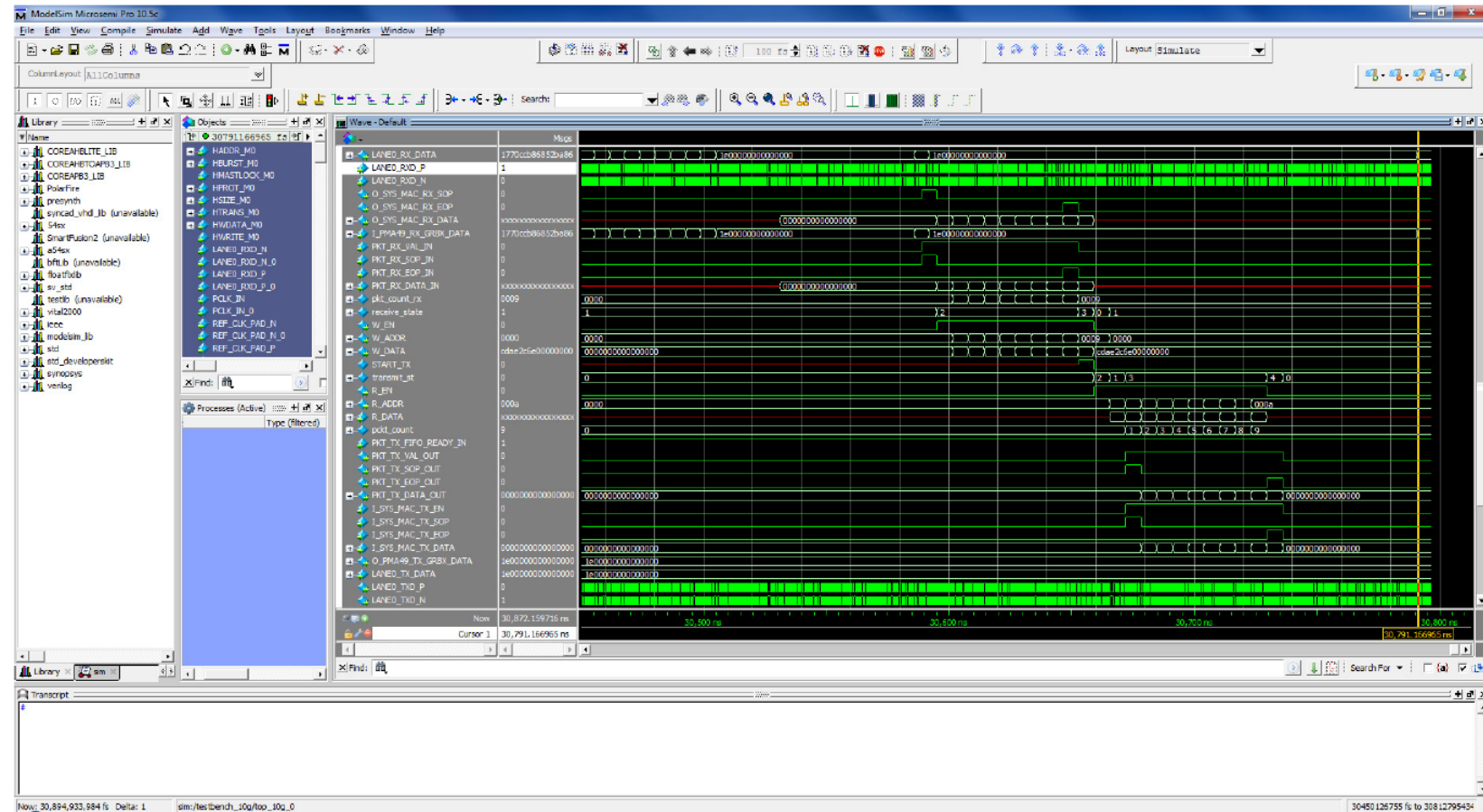
Objectifs du cours:

- 1) Comprendre l'architecture interne d'un circuit FPGA
- 2) Étudier les caractéristiques de la carte de développement RZ Easy-FPGA à base du circuit FPGA **EP4CE6E22C8** (Famille Cyclone IV d'Intel)
- 3) Faire des applications



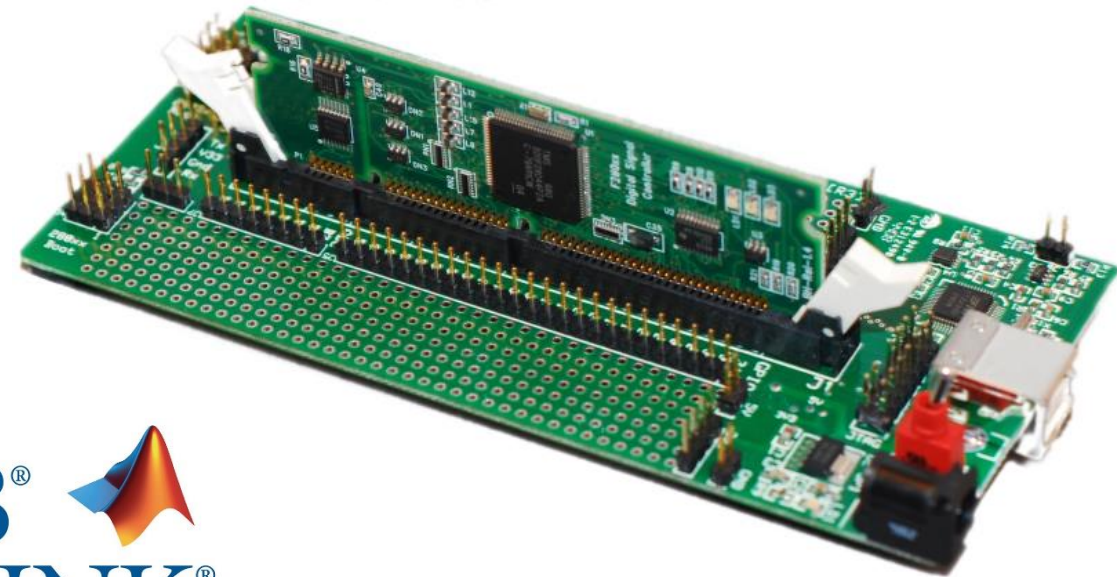
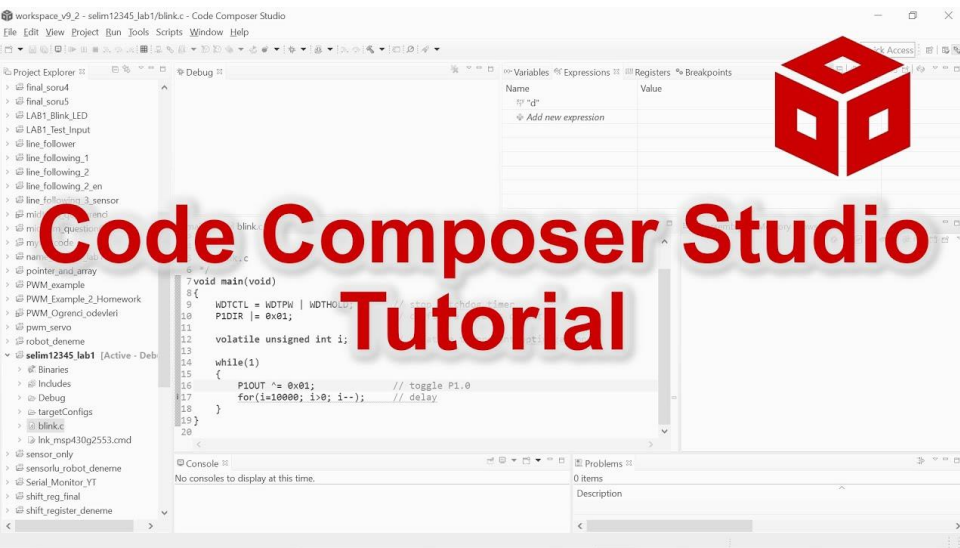
Objectifs du cours:

- 1) Comprendre l'architecture interne d'un circuit FPGA
- 2) Maîtriser les bases d'un langage de description matériel afin de concevoir un système matériel numérique sur circuit FPGA (**QUARTUS + ModelSim**)



Objectifs du cours:

- 1) Comprendre l'architecture interne d'un circuit FPGA
- 2) Maîtriser les bases d'un langage de description matériel afin de concevoir un système matériel numérique sur circuit FPGA
- 3) Comprendre l'architecture interne d'un DSP et ses applications (**TI C2000 TMS F28335**)



MATLAB®
& SIMULINK®

Partie 1:

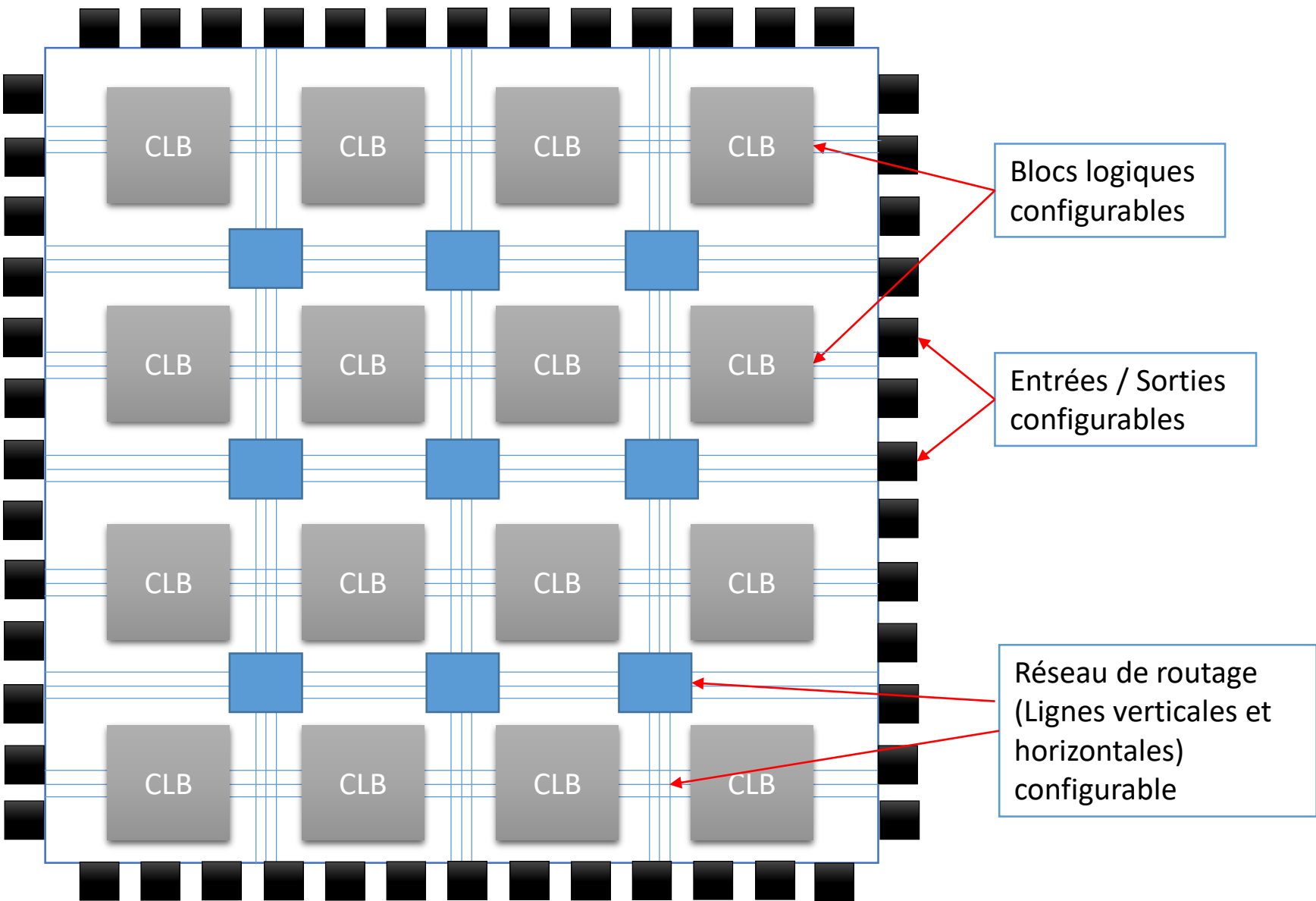
Architecture des circuits FPGA (Rappèle)

Architecture d'un circuit FPGA: Field Programmable Gate Array

L'architecture la plus communément utilisée pour réaliser les circuits FPGA est de type *îlot de calcul*. Dans ce cas les ressources configurables sont disposées sous formes de matrice.

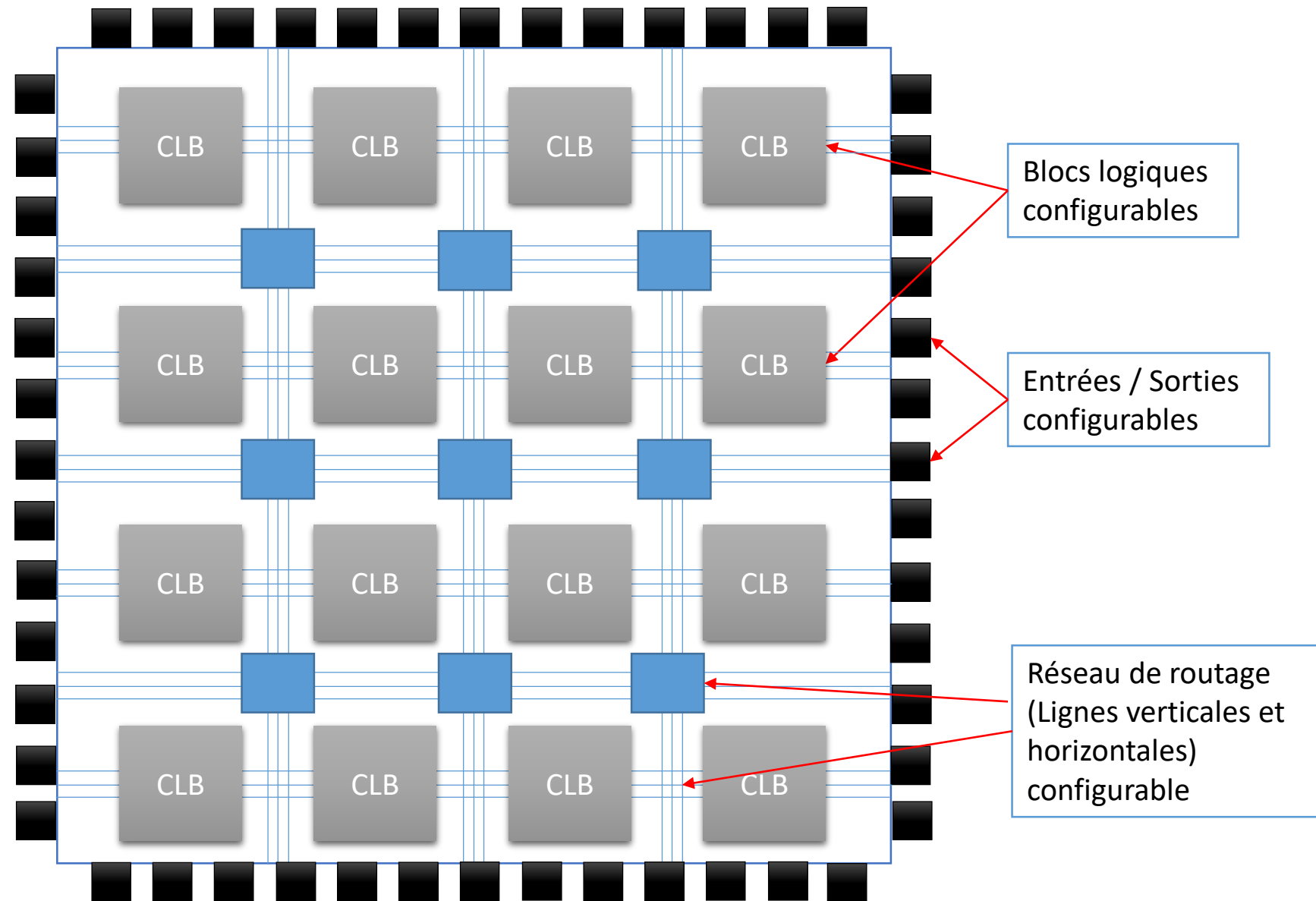
En général cette architecture contient d'autres circuits tels que:

- **Des blocs mémoire** (n'est pas représenté dans le schéma ci-contre) pour le stockage du fichier de la configuration (**BITSTREAM**) permettant de configurer le circuit FPGA à chaque mise sous tension
- **Des oscillateurs** pour la génération des signaux d'horloges



Définitions

- **Les blocs logiques (CLB)** sont les éléments de base d'un FPGA et peuvent être configurés pour remplir différentes fonctions requises par la conception (générateurs de fonctions). Les performances d'un circuit FPGA sont liées au nombre de CLB utilisée.
- **Les interconnexions** relient différentes cellules logiques pour former des blocs de conception plus complexes
- **Les blocs d'entrées / sorties** connectent l'architecture interne du circuit FPGA à la conception externe via des broches d'interface

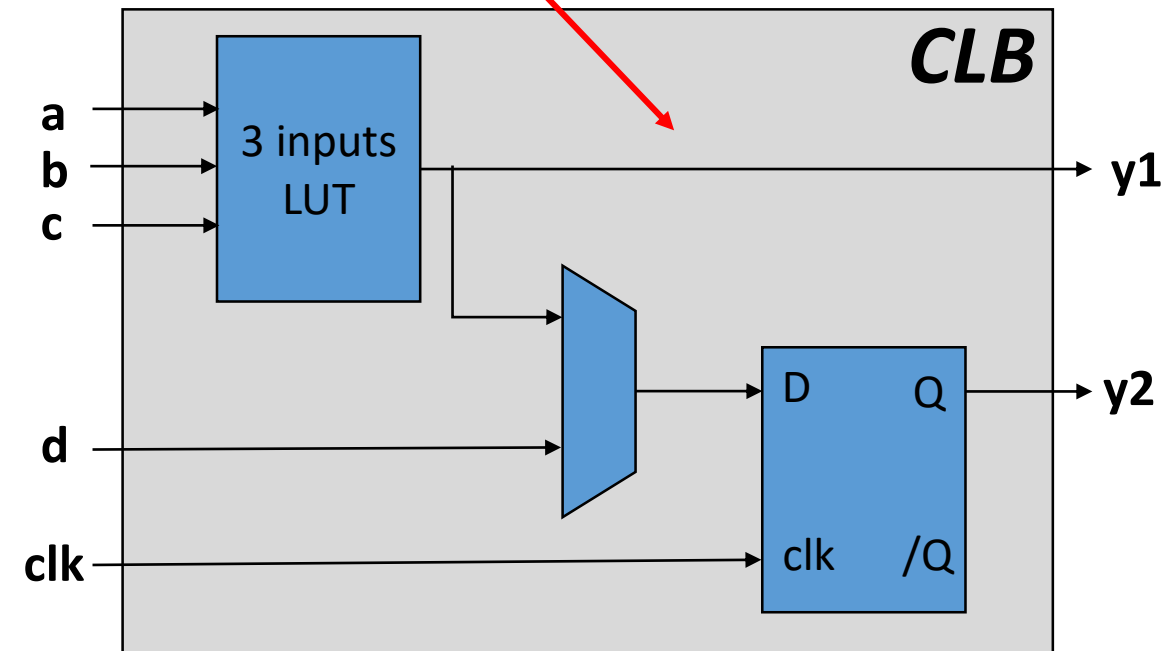
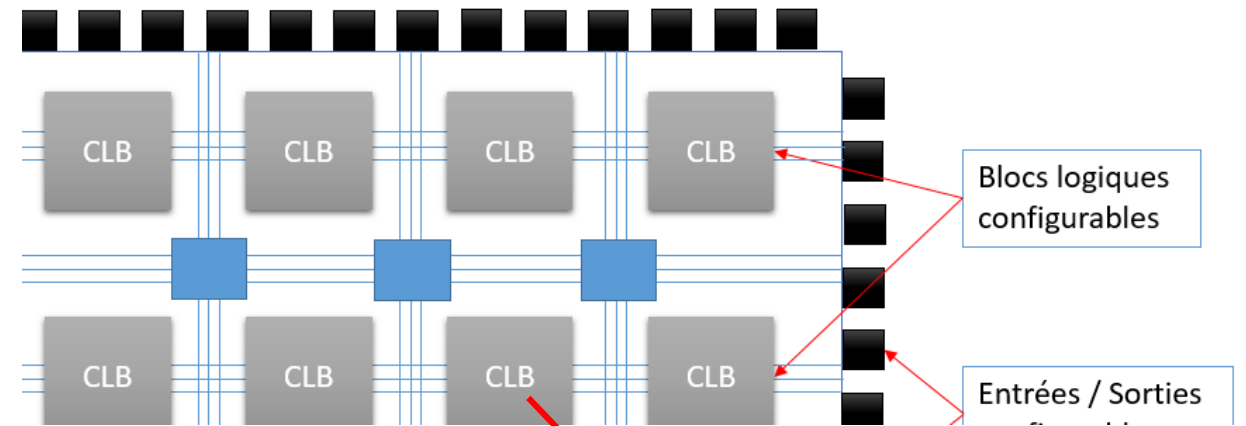


Architecture d'un circuit FPGA

Architecture de base d'un bloc logique (CLB)

L'architecture simplifiée d'un bloc logique configurable contient les éléments suivants:

- **LUT: Look Up Table** qui peut être assimilée à une mémoire dans laquelle on peut stocker la table de vérité d'une fonction logique. Une LUT de 3 entrées peut être assimilée à une mémoire RAM de 8 bits et un multiplexeur 8 vers 1.
- **Un multiplexeur** permettant de sélectionner soit le résultat provenant de la LUT ou d'un autre CLB
- **Un registre** de sortie assurant la synchronisation des signaux



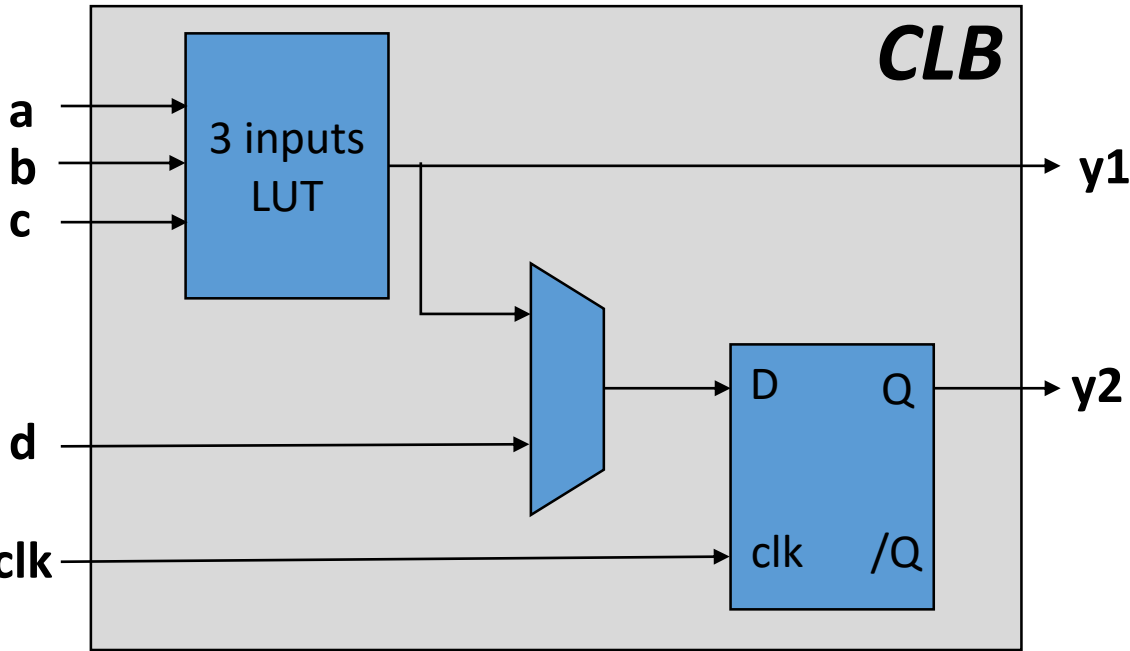
Architecture d'un circuit FPGA

Architecture de base d'un bloc LUT

Une LUT de 3 entrées peut être assimilée à une mémoire RAM de 8 bits et un multiplexeur 8 vers 1.

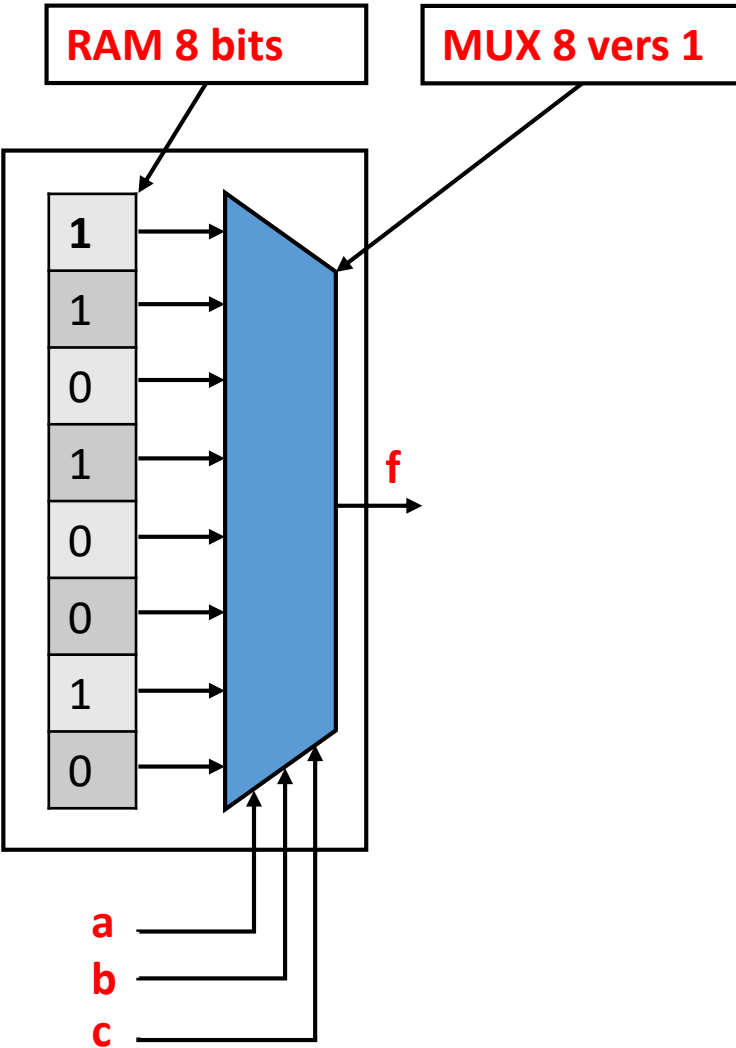
Exemple d'une table de vérité d'une fonction logique stockée dans une LUT

Soit la table de vérité de la fonction $f=f(a,b,c)$ à trois entrées suivantes :



a	b	c	f
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	0

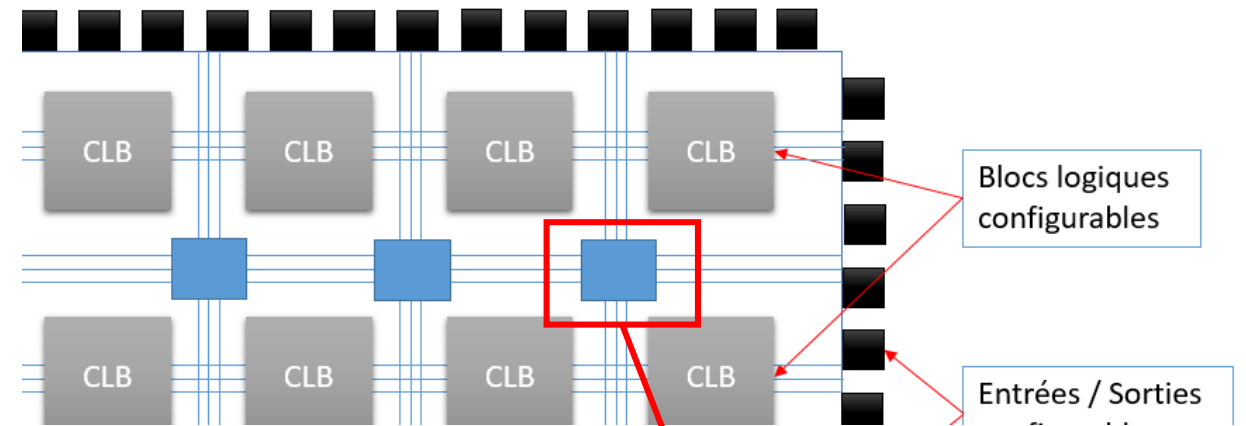
La dernière colonne correspondant à la fonction f sera enregistré dans une mémoire et la LUT sera comme indiqué dans la figure de droite



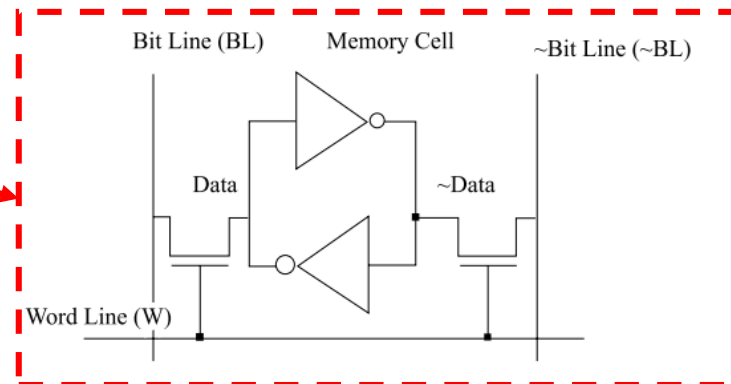
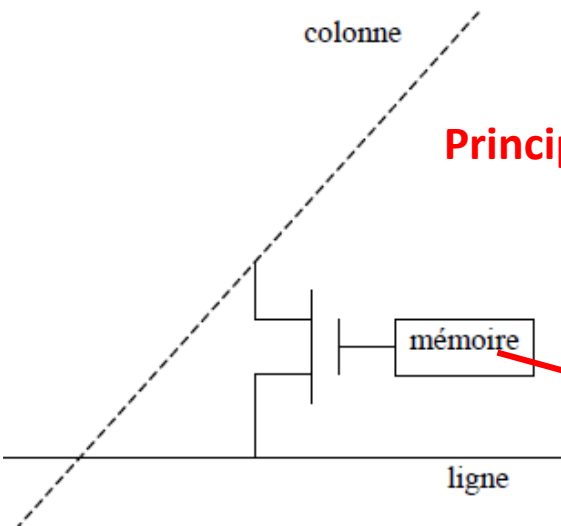
Architecture d'un circuit FPGA

Les matrices d'interconnexions

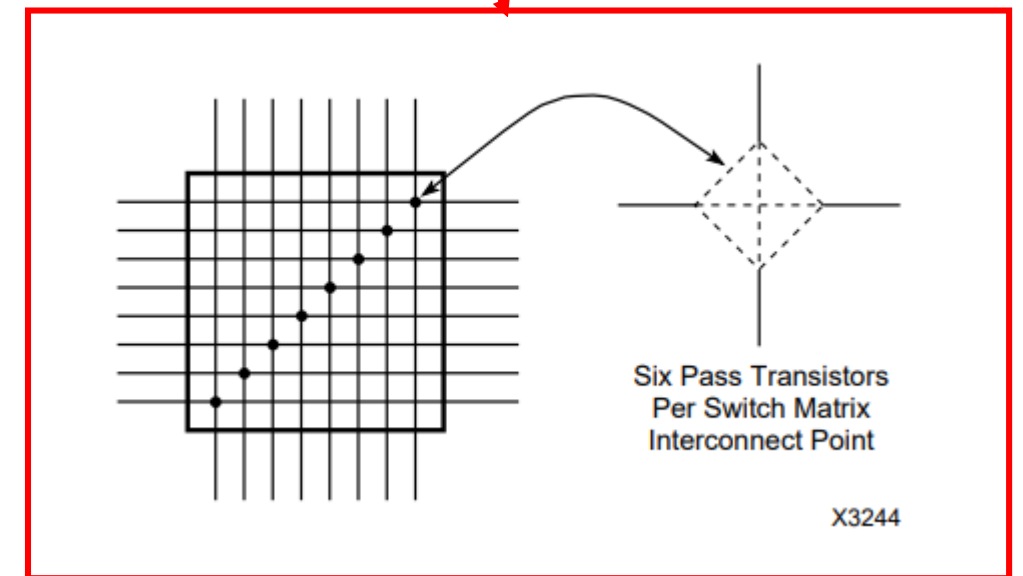
Les fonctions implantées dans les circuits FPGA vont de la simple porte logique jusqu'à une structure très complexe nécessitant d'interconnecter plusieurs blocs logiques entre eux. Les interconnexions utilisées dans les circuits FPGA se basent sur des mémoires statiques SRAM (Mémoire volatile) qui commandent un transistor MOS. La figure suivante illustre ce principe.



Principe d'une interconnexion



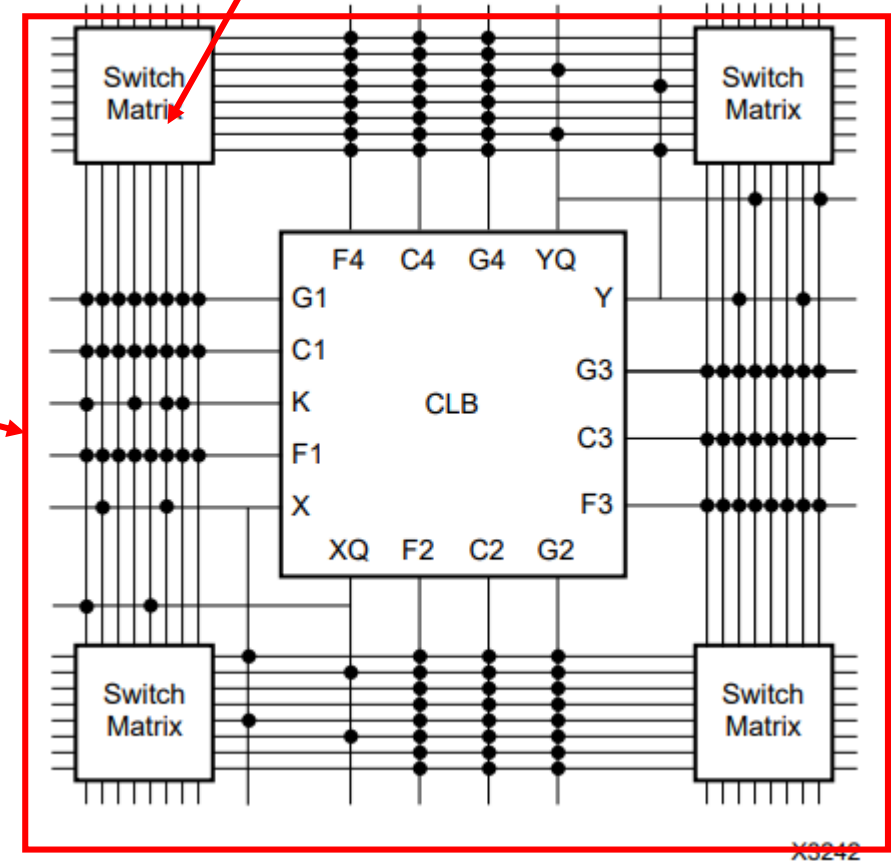
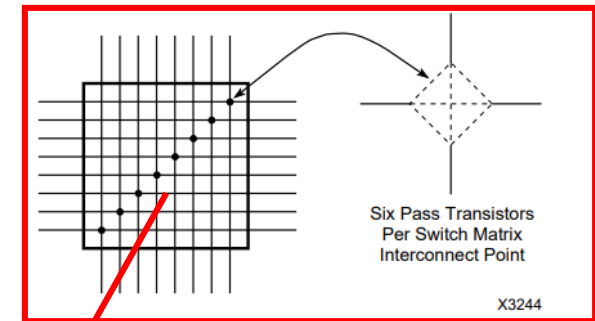
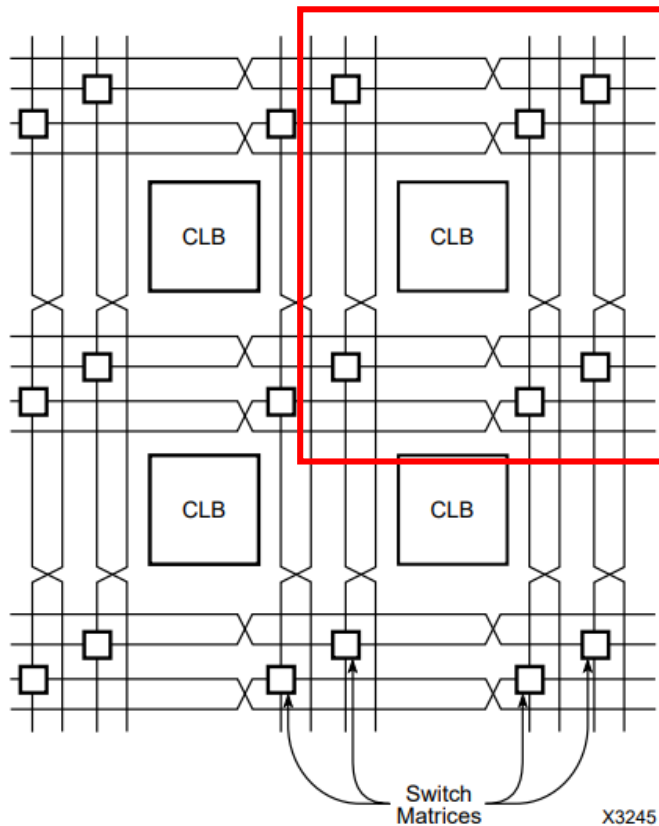
Mémoire SRAM à 5 transistors



Architecture d'un circuit FPGA

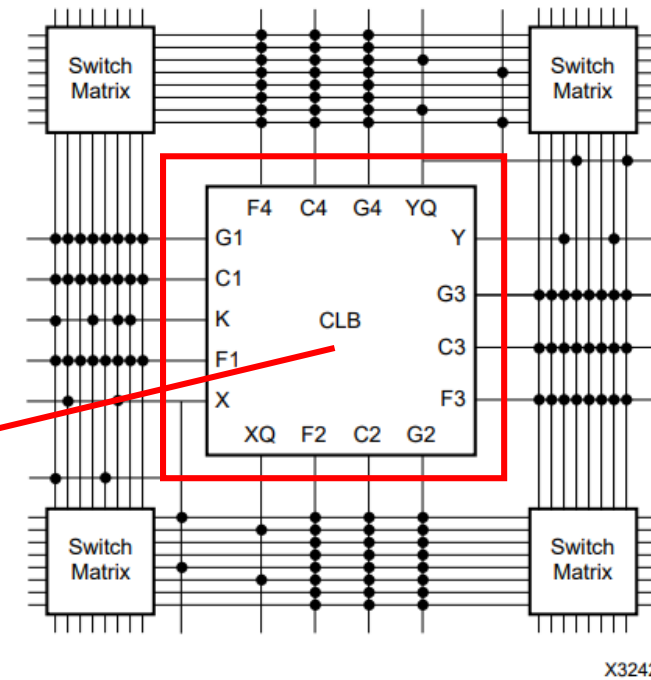
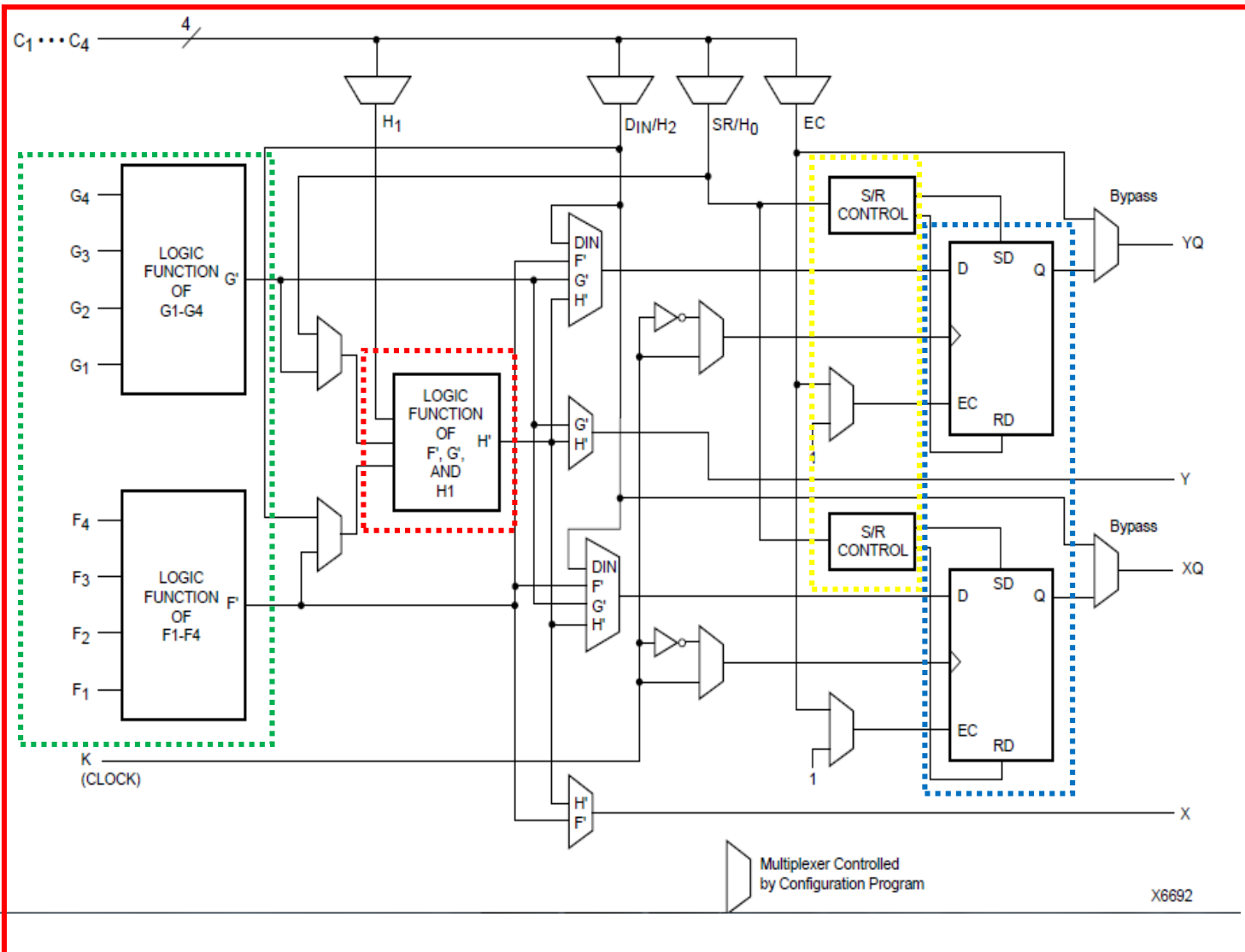
Exemple d'un CLB : Le CLB de la série XC4000 de Xilinx

1024 CLB (32x32)



Architecture d'un circuit FPGA

Exemple d'un CLB : Le CLB de la série XC4000 de Xilinx



Le CLB de la série xc4000 se compose de:

- **2 générateurs de fonctions (LUT)** à quatre entrées et
- **Un autre générateur de fonction à 3 entrées.**
- **Un bloc mémorisation / synchronisation** de deux bascules (permettant de réaliser des fonctions logique séquentielles)
- **Des entrées de contrôle** permettant de configurer les connexions interne d'un CLB

Architecture d'un circuit FPGA

Exemple d'un CLB : Le CLB de la série XC4000 de Xilinx

Analyse de la Configuration 16x1 bits

Mode écriture:

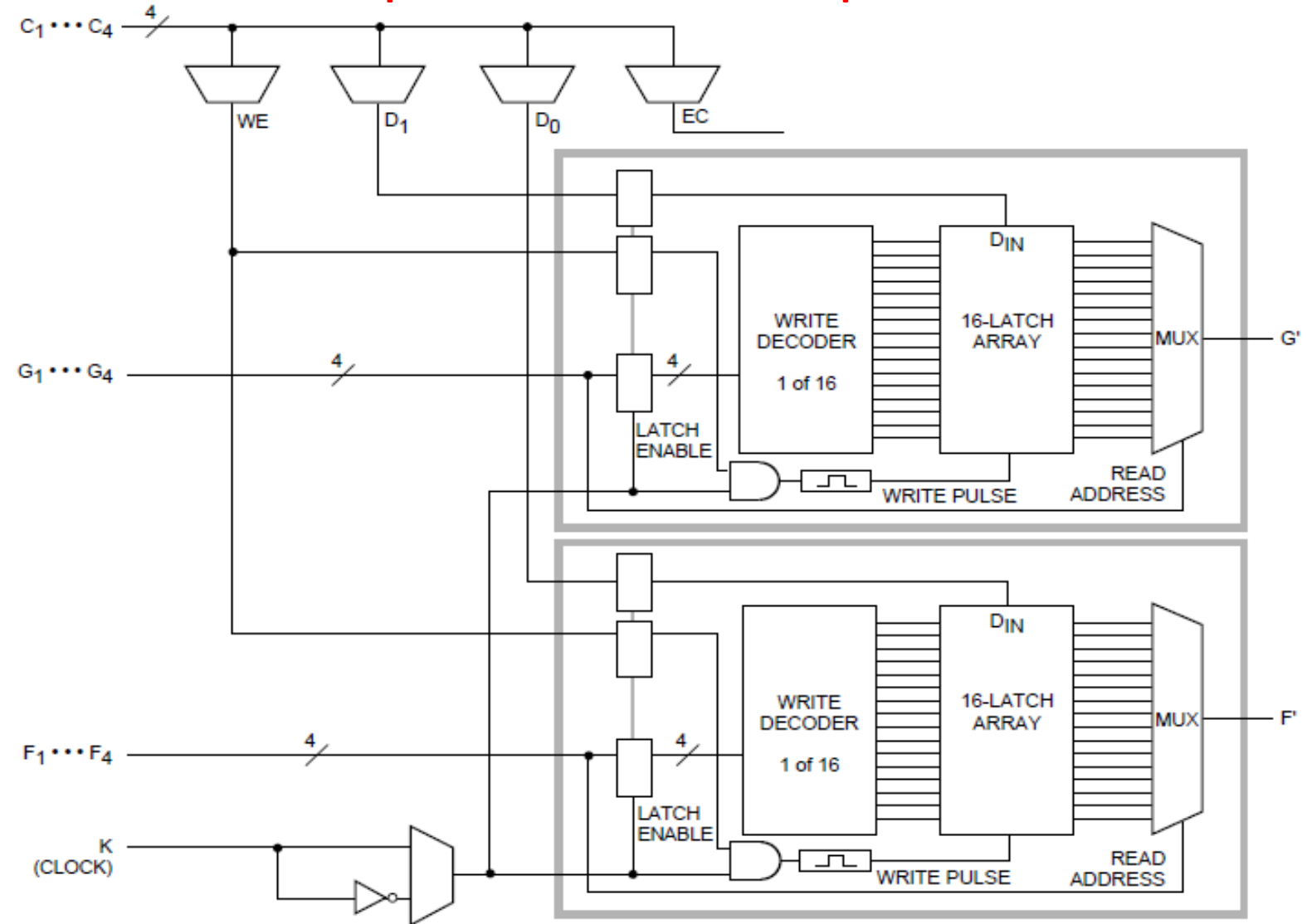
WE(write Enable) et clock sont activés:

La combinaison des variables $G_1..G_4$ est appliqué à un décodeur 1 of 16 permettant de decoder l'adresse et activer la ligne correspondante (les autres sont inactives) puis D_1 sera stockée dans la case correspondante

Mode lecture:

La combinaison des variables $G_1..G_4$ est considérée comme un bus d'adresse appliqué à un multiplexeur 16 vers 1 permettant de sélectionner la case correspondante.

Un CLB peut être utilisé en tant que mémoire 16x2 bits



X6752

Configuration RAM 16x2 bits ou 16x1 bits

Architecture d'un circuit FPGA

Exemple d'un CLB : Le CLB de la série XC4000 de Xilinx

Analyse de la Configuration

Avec 4 bits d'adresse on ne peut adresser que 2^4 cases mémoires. Pour adresser 32 bits on aura besoin de 5 bits d'adresse (les bits G1..G4 ou F1.. F4 et le Bit A4).

Mode écriture:

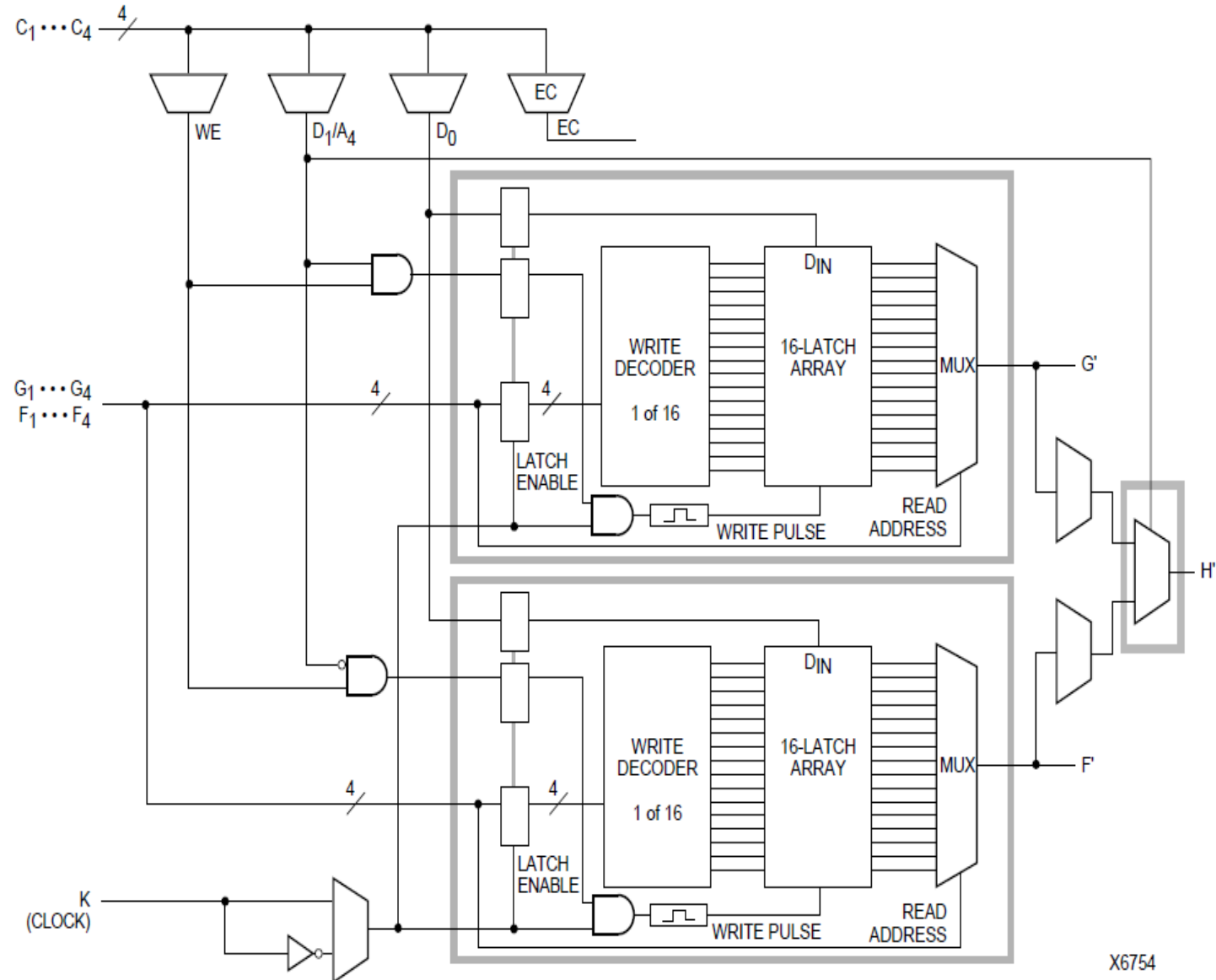
WE (write Enable) et clock sont activés :

La combinaison des variables G1..G4 et F1..F4 est identique. Le bit A4 permet de sélectionner dans quelle portion de mémoire le stockage sera effectué (les 16 premiers bits ou les 16 derniers bits). La combinaison des variables G1..G4 est appliqué à un décodeur 1 of 16 permettant de décoder l'adresse et activer la ligne correspondante (les autres sont inactives) puis D0 sera stockée dans la case correspondante

Mode lecture:

La combinaison des variables G1..G4 est considérée comme un bus d'adresse appliqué aux deux multiplexeurs 16 vers 1 permettant de sélectionner la case correspondante dans les deux portions de la mémoire et finalement le bit A4 est utilisé pour choisir le contenu de la case mémoire désirée.

Un CLB peut être utilisé en tant que mémoire 32x1 bits



Architecture d'un circuit FPGA

Exemple d'une broche IOB de la série XC4000 de Xilinx

Chaque IOB peut être configuré soit en entrée soit en sortie soit les deux (entrée / sortie on parle de broche bidirectionnelle) soit inutilisé (broche en haute impédance).

Configuration en entrée :

Le signal provenant de l'extérieur traverse un Buffer permettant de détecter le niveau de tension (ttl ou cmos).

Le signal d'entrée peut être acheminé directement vers la logique du circuit FPGA via l'une des entrées I1 ou I2 ou bien en passant par un bloc de synchronisation.

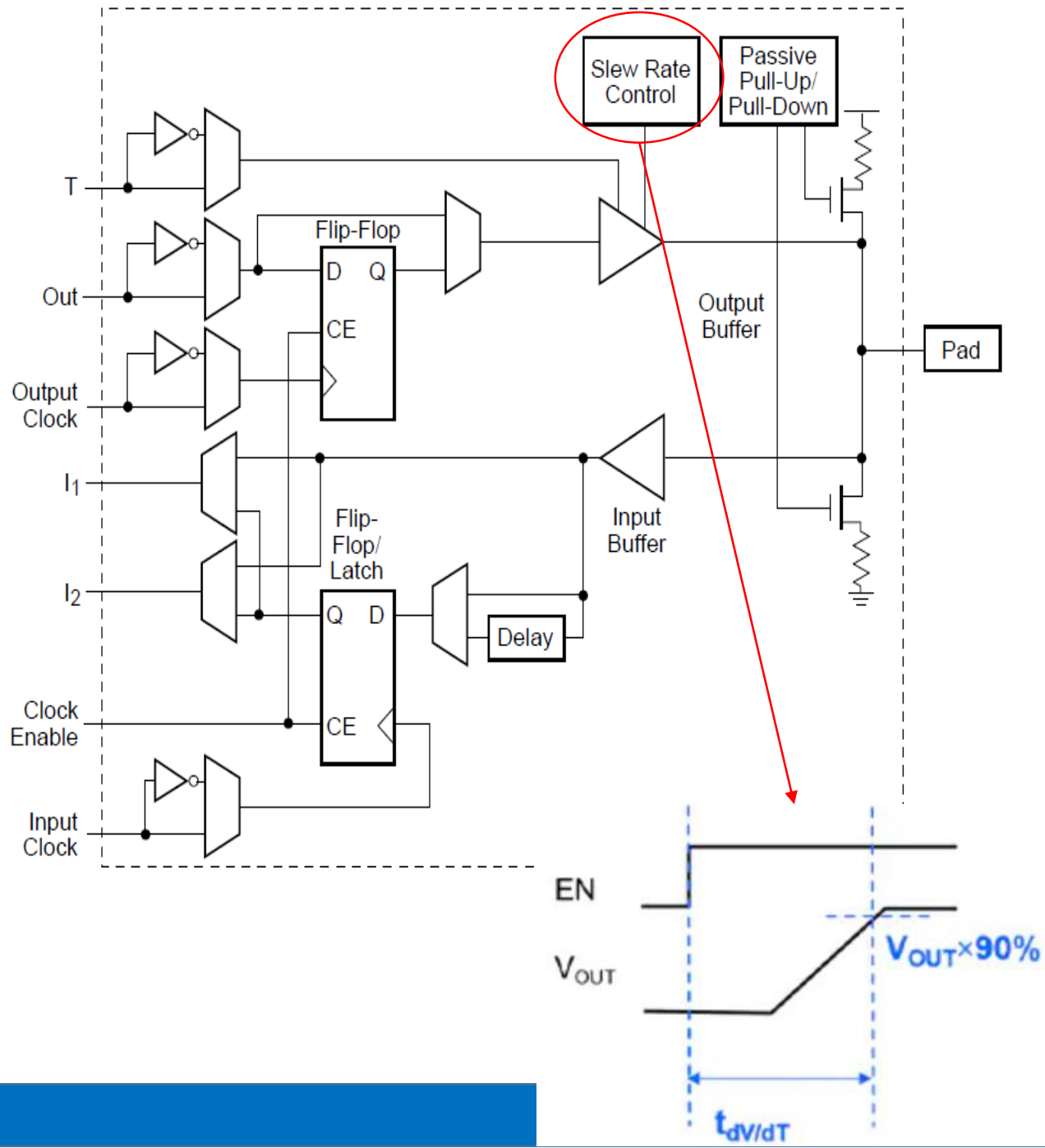
Un retard optionnel garantit zéro temps d'attente (le temps nécessaire pour que le signal clock change d'état)

Configuration en sortie:

Le signal de sortie peut être soit appliqué à la sortie soit inversé ou bien synchronisé à un signal d'horloge

Un signal actif T peut être utilisé pour placer le buffer (tampon) de sortie dans un état à haute impédance.

L'état de la broche peut être forcé soit à 1 ou 0 (pull up ou pull down)



Le choix d'un circuit FPGA

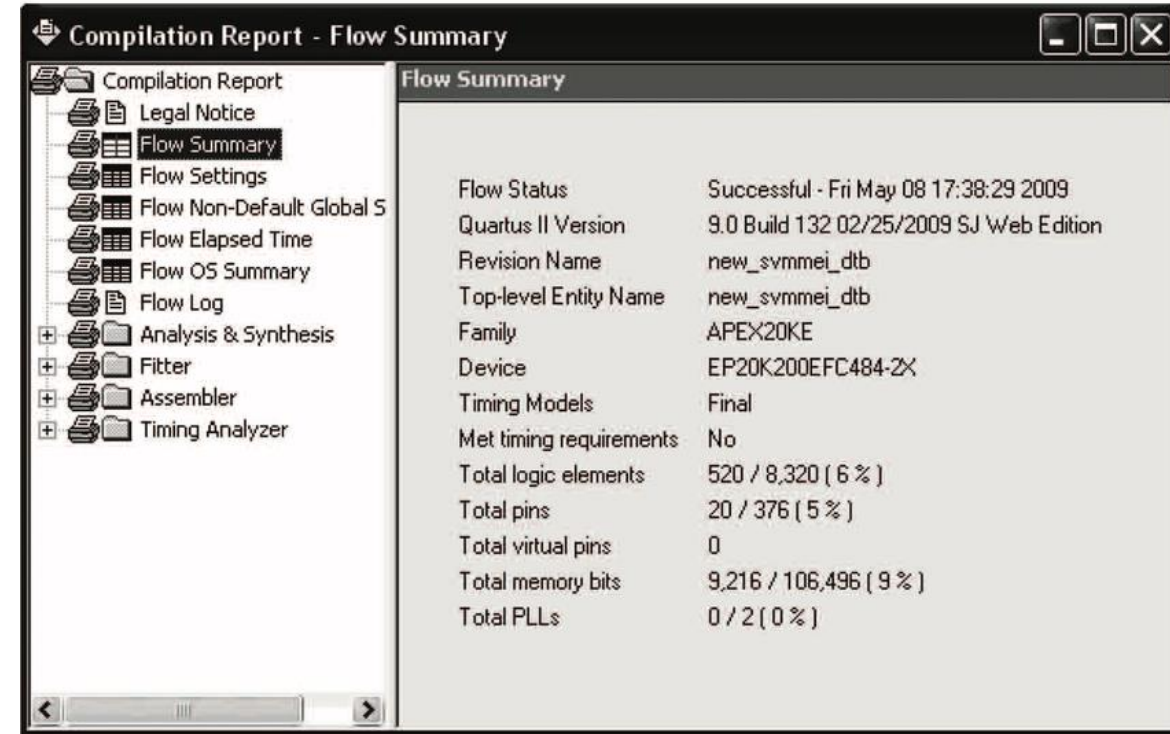
Les principaux facteurs sur lesquels se basent les concepteurs pour déterminer les performances d'un circuit FPGA sont :

- **Le nombre de blocs logique configurable CLB**
 - Nombre de bascules intégrés
 - Nombre de générateurs de fonction (LUT)
- **La fréquence de l'oscillateur intégré !! (en général externe)**
- **La capacité des ressources mémoires (RAM) intégrées**

Spécification	Cyclone V (e.g., 5CSEMA5F31C6)	Virtex-5 (e.g., XC5VLX50T)
Number of Configurable Logic Blocks (CLBs)	Approximately 110,000 LEs (Logic Elements)	Approximately 48,000 slices (equivalent to CLBs)
Embedded RAM	516 Kbits	1,080 Kbits

Remarque:

Le nombre de ressource matériel nécessaire à la réalisation d'un système numérique est déterminé à l'aide de l'outil logiciel



Quartus II - C:/altera/90/quartus/newsvmapr109d/new_svmgb - new_svmgb - [new_svmgb.bdf]

MAX+PLUS II File Edit View Project Assignments Processing Tools Window Help

Project Navigator:

Entity	Logic Cells	LC Registers	Memory Bits	Pins	Virtual Pins	LUT-Only LCs	Register-Only LCs	LUT/Register LCs	Carry Chain LCs
APEX20KE: EP20K200EFC484-2X									
new_svmgb	520 (0)	31	9216	17	0	489 (0)	0 (0)	31 (0)	353 (0)
find_sector:inst	92 (0)	0	0	0	0	92 (0)	0 (0)	0 (0)	88 (0)
ajust:inst1	27 (0)	17	0	0	0	10 (0)	0 (0)	17 (0)	0 (0)
counter360:inst2	14 (14)	9	0	0	0	5 (5)	0 (0)	9 (9)	0 (0)
svm_gen:inst4	387 (0)	5	0	0	0	382 (0)	0 (0)	5 (0)	265 (0)
v_alfa_cos:inst6	0	0	0	0	0	0	0	0	0
v_beta_sinc:inst7	0 (0)	0	9216	0	0	0 (0)	0 (0)	0 (0)	0 (0)

Le choix d'un circuit FPGA

Le tableau suivant montre les spécifications techniques de quelques familles des FPGA de la marque XILINX.

	Virtex-II 1000	Virtex-II 3000	Spartan-3 1000	Spartan-3 2000	Virtex-5 LX30	Virtex-5 LX50	Virtex-5 LX85	Virtex-5 LX110
Nombre de portes	1 million	3 millions	1 million	2 millions	----	----	----	----
Bascules Flip-Flop	10 240	28 672	15 360	40 960	19 200	28 800	51 840	69 120
LUT	10 240	28 672	15 360	40 960	19 200	28 800	51 840	69 120
Blocs de RAM (kbits)	720	1 728	432	720	1 152	1 728	3 456	4 608

Source www.ni.com

Le nombre de porte constitue un moyen habituel de comparer les performances des circuits FPGA. Cependant ce critère ne donne pas exactement le nombre de composant constituant un circuit FPGA c'est pourquoi ce nombre n'est pas mentionné dans les séries Virtex-5.

Caractéristique	FPGA	DSP	Processeur ARM
Adaptabilité	Peut être reprogrammé en temps réel, adaptabilité élevée aux changements dynamiques.	Spécialisé dans le traitement de signal, moins adaptable en temps réel.	Peut être reprogrammé, mais généralement destiné à des applications spécifiques.
Traitement parallèle	Excellente capacité de traitement parallèle massif.	Capacités de traitement parallèle pour des tâches spécifiques de signal.	Capacité de traitement parallèle limitée par rapport à un FPGA.
Utilisations typiques	Applications nécessitant une flexibilité maximale, traitement de signal, traitement d'image, calcul haute performance.	Traitement de signal, audio, vidéo, radars, communications sans fil.	Systèmes embarqués, smartphones, tablettes, systèmes de contrôle.
Complexité des applications	Peut gérer une grande variété d'applications complexes grâce à sa programmabilité.	Spécialisé dans le traitement de signal, adapté à des applications spécifiques.	Peut gérer une variété d'applications générales, mais moins flexible que les FPGAs.

Les principaux fabricants des circuits FPGA

La figure suivante montre la part du marché des principaux fabricants des circuits FPGA.

